

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093237

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H05K 3/46

H05K 1/11

H05K 1/18

H05K 7/20

(21)Application number : 09-214390 (71)Applicant : HITACHI LTD

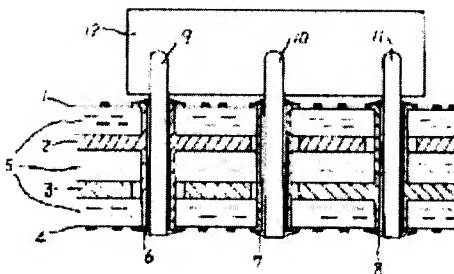
(22)Date of filing : 08.08.1997 (72)Inventor : KAMETANI  
MASATSUGU  
UMEKITA KAZUHIRO

## (54) ELECTRONIC SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic substrate or package electronic substrate, provided with a radiating means which is installed so compact that an electronic circuit mounted on the substrate operates properly.

SOLUTION: In an electronic substrate, wherein wiring layers 1, 4, a ground layer 2, and a power layer 3 are arranged in layers through insulating layers 5, and the ground layer or the power layer 3 is formed thicker than the wiring layers 1, 4. Through-holes 6-8 are formed in the ground layer 2 or the power source layer 3 to connect to the pins of an electronic circuit built-in chip.



[Claim(s)]

[Claim 1]An electronic substrate, wherein two or more layers of said wiring layer are allotted to both sides including a layer by which said ground layer or said voltage plane is arranged in an electronic substrate by which a wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer.

[Claim 2]In an electronic substrate by which a wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer, Said ground layer or said voltage plane allots two or more layers of said wiring layer to both sides including a layer arranged, An electronic substrate providing a through hole which connects a pin of a chip of said ground layer or said voltage plane which constituted - layer thickness at least more greatly than thickness of said wiring layer, and built an electronic circuit in said ground layer or said voltage plane.

[Claim 3]In a mounting electronic substrate which mounted an electronic circuit part article in an electronic substrate by which a wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer, Said ground layer or said voltage plane allots two or more layers of said wiring layer to both sides including a layer arranged, A mounting electronic substrate providing a through hole which connects a pin of a chip of said ground layer or said voltage plane which constituted - layer thickness at least more greatly than thickness of said wiring layer, and built an electronic circuit in said ground layer or said voltage plane.

[Claim 4]In an electronic substrate by which a wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer, An electronic substrate providing a through hole which connects a pin of a chip with which thickness of a ground layer or a voltage plane was constituted more greatly than thickness of said wiring layer, and built an electronic circuit in said ground layer or said voltage plane.

[Claim 5]In a mounting electronic substrate which mounted an electronic circuit part article in an electronic substrate by which a wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer, A mounting electronic substrate providing a through hole which connects a pin of a chip which constituted thickness of a ground layer or a voltage plane more greatly than thickness of said wiring layer, and built an electronic circuit in said ground layer or said voltage plane.

[Claim 6]A wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer, After thickness of a ground layer or a voltage plane heated beforehand an electronic substrate constituted more greatly than thickness of said wiring layer and has raised temperature of said said ground layer or said voltage plane, A mounting method of an electronic substrate inserting a pin of a chip which built an electronic circuit in a through hole electrically connected to said ground layer or said voltage plane, and soldering said through hole and said pin.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the mounting method of an electronic substrate with a compact structure excellent in heat dissipation nature, its mounting electronic group, and an electronic substrate.

[0002]

[Description of the Prior Art]Although electronic circuit CHITSUPU under operation generates heat, if this is kept not cooled, the temperature of an electronic circuit will rise and normal operation of it will not be carried out finally. Then, it is necessary to cool CHITSUPU but so that the electronic circuit may operate normally, and electronic circuit CHITSUPU is - \*\* - like [ it being mounted in an electronic group Sakagami and used ].

[0003]A fin is attached to an electronic circuit package as a method of cooling electronic circuit CHITSUPU conventionally mounted in the electronic substrate. Like a description this fin to JP,S60-35598,A and JP,S61-248500,A besides air cooling or the method of water-cooling, By attaching a cold plate to the outside of an electronic substrate, electronic circuit BATSUKEJI was cooled, and like a description, it stuck or inserted and the heat panel of the cube type form which enclosed cooling fluid was cooled a rear face or inside the electronic substrate at JP,S62-198200,A.

[0004]

[Problem to be solved by the invention]Consideration about the space which cooling equipment takes, and cost was not carried out, but the above-mentioned conventional technology is difficult to carry out high density assembly of the electronic substrate which mounted electronic circuit CHITSUPU, and also it had the problem that the cost per one electronic substrate was high.

[0005]The purpose of this invention is to provide the electronic substrate compactly provided with the radiation means, or a mounting electronic substrate so that the electronic circuit mounted on it can operate normally.

[0006]Other purposes of this invention are to provide the mounting method which enables good soldering when soldering parts to the electronic substrate provided with the structure for heat dissipation or cooling.

[0007]

[Means for solving problem]To achieve the above objects, in the electronic substrate for which the wiring layer, the ground layer, and the voltage plane are arranged via the insulating layer at the multilayer between each layer as for the electronic substrate of this invention, two or more layers of said wiring layer are allotted to both sides including the layer for which said ground layer or said voltage plane is arranged. To achieve the above objects the electronic substrate of this invention, In the electronic substrate by which the wiring layer, the ground layer, and the voltage plane are arranged via the insulating layer at the multilayer between each layer, Said ground layer or said voltage plane allots two or more layers of said wiring layer to both sides including the layer arranged, The through hole which connects the pin of the chip which constituted - layer thickness at least more greatly than the thickness of said wiring layer, and built the electronic circuit in said ground layer or said voltage plane of said ground

layer or said voltage plane was provided. To achieve the above objects the mounting electronic substrate of this invention, In the mounting electronic substrate which mounted the electronic circuit part article in the electronic substrate by which the wiring layer, the ground layer, and the voltage plane are arranged via the insulating layer at the multilayer between each layer, Said ground layer or said voltage plane allots two or more layers of said wiring layer to both sides including the layer arranged, The through hole which connects the pin of the chip which constituted - layer thickness at least more greatly than the thickness of said wiring layer, and built the electronic circuit in said ground layer or said voltage plane of said ground layer or said voltage plane was provided. To achieve the above objects the electronic substrate of this invention, In the electronic substrate by which the wiring layer, the ground layer, and the voltage plane are arranged via the insulating layer at the multilayer between each layer, The electronic substrate providing the through hole which connects the pin of the chip with which the thickness of the ground layer or the voltage plane was constituted more greatly than the thickness of said wiring layer, and built the electronic circuit in said ground layer or said voltage plane. To achieve the above objects the mounting electronic substrate of this invention, In the mounting electronic substrate which mounted the electronic circuit part article in the electronic substrate by which the wiring layer, the ground layer, and the voltage plane are arranged via the insulating layer at the multilayer between each layer, The thickness of the ground layer or the voltage plane was constituted more greatly than the thickness of said wiring layer, and the through hole which connects the pin of the chip which built the electronic circuit in said ground layer or said voltage plane was provided. To achieve the above objects the mounting method of the electronic substrate of this invention, A wiring layer, a ground layer, and a voltage plane are arranged via an insulating layer at a multilayer between each layer, After the thickness of the ground layer or the voltage plane heated beforehand the electronic substrate constituted more greatly than the thickness of said wiring layer and has raised the temperature of said ground layer or said voltage plane, The pin of the chip which built the electronic circuit in the through hole electrically connected to said ground layer or said voltage plane is inserted, and said through hole and said pin are soldered. Since transmit to the ground layer or voltage plane which constituted thickly the heat which is generated with the chip which built in the electronic circuit according to the above-mentioned means from a wiring layer through the pin of a chip good, the range with a wide substrate is made to diffuse heat promptly and heat can be radiated from a substrate face, a radiation means can be constituted compactly. By heating beforehand thermally conductive good layers, such as a ground layer and a voltage plane, since it can be made hard to escape from this through hole in heat in the case of an intermediary with a small temperature gradient with these layers and melting points of solder, and soldering, it can solder to fitness.

[0008]

[Mode for carrying out the invention] Hereafter, drawing 1 explains the 1st em

bodiment of this invention.

[0009]The electronic substrate of the 1st embodiment comprises the wiring layers 1 and 4, the ground layer 2, the voltage plane 3, and the insulating layer 5, connect the through hole 6 to the ground layer 2, the through hole 7 is connected to the wiring layers 1 and 4, and the through hole 8 is connected to the voltage plane 3, respectively. Electrical resistance comprises a small substance with sufficient thermal conductivity, for example, copper, and the ground layer 2 and the voltage plane 3 have spread on the electronic substrate whole surface. Notches, such as a notched hole by a through hole and a clearance hole from a through hole, are made as small as possible, planning \*\*\*\* with cost, and enlarge the conductor-side product. The ground pin 9, the signal pin 10, and the power pin 11 have come out from electronic circuit CHITSUPU 12, and, as for the signal pin 10, the ground pin 9 is connected to the through hole 8 for the power pin 11 by the way thermal resistance becomes small in the through hole 7 at the through hole 6.

[0010]On the above electronic group hills, the heat emitted from electronic circuit CHITSUPU 12 is carried as follows, and electronic circuit CHITSUPU 12 is cooled. The heat generated in electronic circuit CHITSUPU 12 is carried to the \*\*\*\* intermediary ground layer 2 in the ground pin 9 depending on the method of -, is transmitted in the power pin 11 on the other hand, and is carried to the voltage plane 3. As for the ground layer 2 and the voltage plane 3, since electrical resistance comprises a \*\*\*\* substance of thermal conductivity small, the heat which got across to these layers is transmitted in these layers that are internal layers, and is mainly cooled by the following three methods. One is cooled by the cooling unit provided in the point of the ground layer 2 and the voltage plane 3, and the 2nd is cooled by flowing fluid in that on the \*\*\*\* intermediary surface to the surface of an electronic substrate. The 3rd gets across the ground pin of low heat generation CHITSUPU whose temperature is lower than this internal-layer ground layer and a voltage plane, and a power pin to a \*\*\*\* intermediary low heat generation chip surface, and flowing fluid cools that in a pin and a chip surface. At this time, since the pin at the time of chip mounting and the surface area of CHITSUPU become larger than the substrate face product at the time of un-mounting, a heat transfer area spreads and they are advantageous to cooling.

[0011]In addition, it is transmitted from exothermic CHITSUPU to this chip surface, without going via an internal layer, and there are heat cooled in a chip surface and heat which gets across to the pin surface of this CHITSUPU, and is cooled there.

[0012]There is an effect cooled by the radiation from each surface and the convection. Electronic circuit CHITSUPU 12 can be cooled by such a method. If it is made above, the function to conduct the heat generated from electronic circuit CHITSUPU 12 can be added to the ground layer 2 with the function which supplies ground potential to electronic circuit CHITSUPU 12, The function to conduct the heat generated from electronic circuit CHITSUPU 12 can be added to the voltage plane 3 with the function which supplies power supply potential to

electronic circuit CHITSUPU 12. That is, since each potential supply and two functions of conduction of heat are given to the ground layer 2 and the voltage plane 3, and also these each layers are in basis Sakauchi and attached structure is not attached to the outside of a substrate in the electronic substrate of this proposal, it is low cost from conventional technology, An electronic substrate with sufficient cooling function to carry out normal operation of the electronic circuit in compacter CHITSUPU can be obtained. In drawing 1, although the ground layer was set to 2 and the voltage plane was set to 3, if a voltage plane is connected with 2 and a predetermined pin is reconnected with a predetermined layer for a ground layer also as 3, an equivalent effect will be acquired.

[0013]In this example, although the ground layer and the voltage plane were carried out much more all the time, if the number of layers of these each layers is increased, the quantity of heat which can be transmitted in these each layers increases compared with the case per each layer, and is effective by cooling.

[0014]By increasing a voltage plane and a grand number of layers from the case per layer each, impedance of a voltage plane and the ground layer itself can be made small, and change of the power supply potential and ground potential to the operation containing many high frequency components can be small suppressed within a substrate.

[0015]In order to increase the quantity of heat which can pass along a ground layer and a voltage plane, it is also effective to increase the thickness of these each layers. For example, it can perform that the thickness of a ground layer and a voltage plane shall be about 50-70 micrometers, without adding a process special to the usual process, and, thereby, it can acquire a chilling effect.

[0016]Drawing 2 shows the 2nd embodiment of this invention. The electronic substrate of the 2nd embodiment is the example which constituted the electronic substrate of this invention from eight layers, and comprises the wiring layers 13, 15, 18, and 20, the ground layers 14 and 19, the voltage planes 16 and 17, and the insulating layer 500. The wiring 21 and 22 is wiring on the wiring layer 18. Although the ground pin, power pin, and signal pin to which the wiring layer 13 side is a component side side, and the wiring layer 20 side has come out of \*\*\*\*\* electronic circuit CHITSUPU and this CHITSUPU by the solder surface side are not shown in drawing 2, each pin is connected to the applicable layer by the way thermal resistance becomes small, like drawing 1.

[0017]In the above electronic substrates, like the 1st embodiment, electronic circuit CHITSUPU can be cooled and also the following operations are possible.

[0018]Although wiring which runs in parallel the section which it is on a wiring layer to - \*\* forms an electrostatic bond by the meantime and has a fear of producing a noise by a cross talk, If distance with a ground layer or a voltage plane which allots a ground layer or a voltage plane next to through an insulating layer of a wiring layer, and adjoins an electric wire layer via an insulating material is made small as shown in drawing 2, Since impedance of wiring in a wiring layer can be made small, a noise by a cross talk by an electrostatic bond between parallel wiring can be reduced. This effect has a direction more effective than a time of allotting a voltage plane when a ground layer is allotted next to

through an insulating layer of a wiring layer, and a noise by a cross talk can be reduced more. Distance between the surfaces of 11, the wiring layer 13, and the ground layer 14 is set to  $d_1$  for the minimum thing among distance between wiring which runs in parallel on the wiring layer 13, A noise by a cross talk which will produce it in wiring on the wiring layer 13 and 20 more effectively if the minimum thing is set to  $l_1 > d_1$  and  $l_2 > d_2$  when distance between the surfaces of 12, the wiring layer 20, and the ground layer 19 is set to  $d_2$  can be reduced among distance between wiring which runs in parallel on the wiring layer 20.

[0019]In an electronic substrate of this example, since impedance of a voltage plane and the ground layer itself can be made small by having provided a voltage plane and a ground layer in a multilayer, change of power supply potential and ground potential to operation containing many high frequency components can be small suppressed within a substrate.

[0020]In an electronic substrate of this example, since heat from electronic circuit CHITSUPU is transmitted in a ground layer of an internal layer, and a voltage plane and spreads in the whole substrate, temperature of a substrate can be equalized.

[0021]becoming easy to perform control of delayed items etc., since the two above-mentioned effects are simultaneously realizable and power supply potential, ground potential, and temperature can be equalized within a substrate in a substrate of this example, suppressing change of ground potential and power supply potential small within a substrate -- a texture -- a fine timing design becomes possible.

[0022]In the 2nd embodiment, like the 1st embodiment, by low cost from a method by conventional technology As mentioned above, when [ and ] a space which cooling equipment takes is made smaller and electronic group Sakagami's electronic circuit CHITSUPU can be cooled, A noise by a cross talk produced in wiring can be reduced, change of power supply potential and ground potential to operation containing many high frequency components can be small suppressed within a substrate, and eight layer boards which can equalize temperature of a substrate can be obtained.

[0023]If an effect of reducing a noise by a cross talk described in the 2nd embodiment is accepted also in the 1st embodiment and distance of the wiring layer 1 and the ground layer 2 and distance of the wiring layer 4 and the voltage plane 3 are made small especially in drawing 1, it is effective, Furthermore, distance between the surfaces of the wiring layer 1 and the ground layer 2 is made smaller than a shortest thing among distance between wiring which runs in parallel on the wiring layer 1, If distance between the surfaces of the wiring layer 4 and the voltage plane 3 is made smaller than a shortest thing among distance between wiring which runs in parallel on the wiring layer 4, a noise by a cross talk can be reduced still more effectively.

[0024]An effect which equalizes temperature of a substrate is accepted also in the 1st embodiment.

[0025]structure which provided a voltage plane or a ground layer next to it bei

ng the example of - in a case of constituting an electronic substrate concerning this invention from eight layers which was shown in drawing 2, and having passed an insulating layer of a wiring layer -- it means that an order of lamination had constituted an electronic substrate which different intermediary \*\*\*\* also requires for this invention with intermediary \*\*\*\*\* and drawing 2. At this time, if distance of a ground layer or a voltage plane which adjoins a certain wiring layer via an insulating layer, and this wiring layer is made small like an embodiment shown in drawing 2, a noise by a cross talk can be reduced effectively. This effect has a direction larger than a time of being a voltage plane in case an adjacent layer is a ground layer. If it is considered as  $l > d$  when distance of a layer with a smaller distance with this wiring layer among ground layers or voltage planes which adjoin  $l$  and this wiring layer via an insulating layer in a minimum thing among distance between parallel wiring of a certain wiring layer, and this wiring waste is set to  $d$ , it is still more effective for reduction of a noise by a cross talk.

[0026] Allotting a voltage plane or a ground layer to a layer which adjoins a wiring layer via an insulating layer in this example about all the wiring layers line intermediary \*\*\*\*, This allots a ground layer or a voltage plane to a layer which adjoins it via an insulating layer only about a wiring layer which has \*\*\*\*\* and wiring with fear of a cross talk by a case where the most of an effect of an embodiment concerning this invention is made, and it can avoid restricting an arrangement of other wiring layers. For example, in drawing 2, a wiring layer may be allotted instead of the voltage plane 17. Although the cross talk-proof nature of wiring on this wiring layer and the wiring layer 18 falls from a case of drawing 2, since what is necessary is just to allot a signal line with fear of a cross talk to the wiring layer 15 guarded by ground layer and a voltage plane in both sides, an effect of this invention can be acquired also in \*\*\*\*\* and such lamination. If this technique is used, since it is realizable with a substrate of a smaller number of layers, compared with a case where allotting a voltage plane or a ground layer to a layer which adjoins a wiring layer via an insulating layer is performed about all the wiring layers, a substrate which has a wiring layer of the same number can be manufactured to low cost.

[0027] Drawing 3 shows the 3rd embodiment of this invention. The electronic substrate shown in drawing 3 is the example which constituted the electronic substrate of this invention from six layers, and comprises the wiring layers 23, 26, and 28, the ground layers 24 and 27, the voltage plane 25, and the insulating layer 501. Although the ground pin, power pin, and signal pin to which the wiring layer 23 side is a component side side, and the wiring layer 28 side has come out of \*\*\*\*\* , electronic circuit CHITSUPU, and CHITSUPU by the solder surface side are not shown in drawing 3, each pin is connected to the applicable layer by the way thermal resistance becomes small, like drawing 1.

[0028] If constituted as mentioned above, by low cost from the method by conventional technology like the 2nd embodiment And when the space which cooling equipment takes is made smaller and electronic group Sakagami's CHITSUPU can be cooled, Change of the power supply potential and ground potential to



the operation which can reduce the noise by the cross talk of wiring and contains many high frequency components can be small suppressed within a substrate, and the six-layer electronic substrate which can equalize the temperature of a substrate can be obtained.

[0029]however, the structure of having at least one layer of wiring layers which provided the ground layer or the voltage plane in the neighbors which the example shown in drawing 3 is a - embodiment in the case of constituting the electronic substrate of this invention from six layers, and passed the insulating layer of the wiring layer -- it intermediary-\*\*\*\*\* (ing) and, It means that different intermediary \*\*\*\* had also constituted the electronic substrate concerning this invention with the lamination shown in drawing 3.

[0030]If distance of the ground layer or voltage plane which adjoins a certain wiring layer via an insulating layer, and this wiring layer is made small like the case of the 2nd embodiment, the noise by a cross talk can be reduced effectively. This effect has a direction larger than the time of being a voltage plane in case an adjacent layer is a ground layer. If it is considered as  $l > d$  when distance of a layer with a smaller distance with this wiring layer among the ground layers or voltage planes which adjoin  $l$  and this wiring layer via an insulating layer in a minimum thing among the distance between the parallel wiring of a certain wiring layer, and this wiring layer is set to  $d$ , it is still more effective for reduction of the noise by a cross talk.

[0031]Drawing 4 shows the 4th embodiment of this invention. The electronic substrate shown in drawing 4 is the example which constituted the electronic substrate of this invention from 12 layers, and comprises the wiring layers 29, 33, 38, and 40, the ground layers 30, 32, 24, 37, and 39, the voltage planes 31, 35, and 36, and the insulating layer 502. Although the ground pin, power pin, and signal pin to which the wiring layer 29 side is a component side side, and the wiring layer 40 side has come out of \*\*\*\*\*, electronic circuit CHITSUPU, and CHITSUPU by the solder surface side are not shown in drawing 4, each pin is connected to the applicable layer by the way thermal resistance becomes small, like drawing 1.

[0032]If constituted as mentioned above, by low cost from the method by conventional technology like the 2nd embodiment And when the space which cooling equipment takes is made smaller and CHITSUPU on an electronic substrate can be cooled, The noise by the cross talk of wiring can be reduced, change of the power supply potential and ground potential to high frequency operation can be small suppressed within a substrate, and 12 layer boards which can equalize the temperature of a substrate can be obtained.

[0033]However, the example shown in drawing 4 is a - embodiment in the case of constituting the electronic substrate of this invention from 12 layers, and if it has the composition of having at least one layer of wiring layers which provided the ground layer or the voltage plane in the neighbors of the wiring layer via the insulating layer, it will mean that it had constituted the electronic substrate concerning this invention.

[0034]If distance of the ground layer or voltage plane which adjoins a certain

wiring layer via an insulating layer, and this wiring layer is made small like the case of the 2nd embodiment, the noise by a cross talk can be reduced effectively. This effect has a direction larger than the time of being a voltage plane in case an adjacent layer is a ground layer. If it is considered as  $l > d$  when distance of a layer with a smaller distance with this wiring layer among the ground layers or voltage planes which adjoin  $l$  and this wiring layer via an insulating layer in a minimum thing among the distance between the parallel wiring of a certain wiring layer, and this wiring layer is set to  $d$ , it is still more effective for reduction of the noise by a cross talk.

[0035]As mentioned above, the example which constitutes the electronic substrate by this invention from four layers, six layers, eight layers, and 12 layers according to the 1st - the 4th embodiment was shown. It is the next table 1 which summarized the number of wiring layers, the number of voltage planes, and grand number of layers which each electronic substrate shown in the 1st - the 4th embodiment has.

[0036]

[Table 1]

表 1

	4 層 板	6 層 板	8 層 板	1 2 層 板
配 線 層	2	3	4	4
電 源 層	1	1	2	3
グ ラ ン ド 層	1	2	2	5

[0037]Therefore, the user should just choose the electronic substrate of the optimal number of layers in consideration of the number of required wiring layers, the number of voltage planes, a grand number of layers, a noise margin, etc. When it constitutes the electronic substrate concerning this invention from number of layers other than table 1, this invention can be realized if the rule of having at least one layer of wiring layers which have a ground layer or a voltage plane via an insulating layer in the neighbors of a wiring layer is followed and constituted. At this time, if distance of the ground layer or voltage plane which adjoins a certain wiring layer via an insulating layer, and this wiring layer is made small, the noise by a cross talk can be reduced effectively. This effect has a direction larger than the time of being a voltage plane in case an adjacent layer is a ground layer. If it is considered as  $l > d$  when distance of a layer with a smaller distance with this wiring layer among the ground layers or voltage planes which adjoin  $l$  and this wiring layer via an insulating layer in a minimum thing among the distance between the parallel wiring of a certain wiring layer, and this wiring layer is set to  $d$ , it is still more effective for reduction of the noise by a cross talk. As long as the above-mentioned rule is followed, the value of Table 1 and different intermediary \*\*\*\* of the wiring layer in an electronic substrate with the number of layers shown in Table 1, a voltage plane, and a grand number of layers are also good.

[0038]Drawing 6 shows the 5th embodiment of this invention. It faced connecting a through hole and a ground layer conventionally, and the thermal land was provided as shown in drawing 5. That is, the through hole 41 lets the ground pin of CHITSUPU pass, and the heat transmitted from CHITSUPU in the ground pin was told to the ground layer 45 via the land 44 and the channel section 43. In this method, the land 44 and the ground layer 45 were surrounded by the notch 42, and since there was only a course which passes along the channel section whose thermal resistance it is narrow and is large, the heat which got across to the land 44 did not get across to a ground layer easily.

[0039]Since the thermal land as shown in drawing 5 was used as well as the case of a ground layer when a through hole and a voltage plane were connected conventionally, the heat transmitted from high exothermic CHITSUPU in the power pin did not get across to a voltage plane easily, either.

[0040]So, in this example, as shown in drawing 6, a thermal land is abolished and it is cotton intermediary \*\*\*\*\* about the through hole 46 and the ground layer 47 at the perimeter of the through hole 46.

[0041]Thereby, the thermal resistance in the terminal area of a through hole and a ground layer can decrease substantially compared with the former, and a ground pin can be promptly transmitted for \*\*\*\* intermediary \*\*\*\*\* to a ground layer. Conversely, from a ground layer, the heat which has been transmitted to a ground layer can be told to the ground pin of CHITSUPU of a position, and it can cool in this CHITSUPU and a pin surface. Since the impedance of the terminal area of a through hole and a ground layer moreover also becomes smaller than the method of providing a thermal land, potential of a through hole and a ground layer, etc. can be made smaller, and it can carry out to the supply nearby fitness of the ground potential to a ground pin.

[0042]It connects with the through hole perimeter with a cotton intermediary voltage plane like [ also in a voltage plane, it is the same and ] the case of the ground layer shown in drawing 6 by this example. The thermal resistance in the terminal area of a through hole and a voltage plane can decrease substantially compared with the former by this, and the heat transmitted from high exothermic CHITSUPU in the power pin can be promptly told to a voltage plane. Conversely, from a voltage plane, intermediary \*\*\*\*\* can be told to the power pin of low-temperature CHITSUPU, and a voltage plane can be cooled to it in this CHITSUPU and a pin surface. Since the impedance of the terminal area of a through hole and a voltage plane moreover also becomes smaller than the method of providing a thermal land, the potential layer of a through hole and a voltage plane can be made smaller, and it can carry out to the supply nearby fitness of the power supply potential to a power pin.

[0043]\*\*\*\* intermediary \*\*\*\*\* is promptly transmitted from high exothermic CHITSUPU to a ground layer and a voltage plane in a ground pin and a power pin by the above, a ground layer and a voltage plane -- a connoisseur -- since part of intermediary \*\*\*\*\* is transmitted in the ground pin of low-temperature electronic circuit CHITSUPU, and a power pin and is cooled from each layer in this CHITSUPU and a pin surface, exothermic CHITSUPU can be cooled effe

ctively, and also electrically, good connection is obtained.

[0044]This effect the radius of the arbitrary through holes A among the through holes connected to the voltage plane r, When distance of the center of this through hole and the center of the through hole B which touches this these days is set to  $2R$ , it is obtained also by constituting all the portions of the voltage plane surrounded by the circle of the radius r and the circle of the radius R centering on the center of the through hole A with the substance which constitutes a voltage plane.

[0045]The above-mentioned effect the radius of the arbitrary through holes A among the through holes connected to the ground layer r and the center of this through hole, When distance with the center of the through hole B which approaches this most is set to  $2R$ , all the portions of the ground layer surrounded by the circle of the radius r and the circle of the radius R centering on the center of the through hole A are obtained also by constituting with the substance which constitutes a ground layer.

[0046]Drawing 13 shows the 6th embodiment of this invention. If it is the method of using the conventional thermal land, in a connection method with a through hole, a ground layer, or a voltage plane as the place of the 5th embodiment described, conduction of the heat between a through hole land, a ground layer, or a voltage plane will be barred. Then, if it carries out by thermal Landret h like the 5th embodiment, shortly, heat escapes from a through hole part too much to a ground or a voltage plane, and soldering of parts may become difficulty. Then, in order to solder easily, making thermal resistance small, as shown in drawing 13, the through hole 153 is separated from the ground layer 156 by the notch 154 smaller than a conventional example. Thereby, a ground pin can be transmitted for intermediary intermediary \*\*\*\*\* to a grand internal layer from high exothermic CHITSUPU more promptly than before, and also soldering can be performed more easily than the 5th embodiment. Moreover, since the electrical resistance of a terminal area is smaller than a conventional example, ground potential can be supplied to a ground pin better than before. Connection of a voltage plane and a through hole as well as [ completely ] the case of the ground layer shown in drawing 13 is made. An effect is also the same.

[0047]As the area of a notch is not necessarily shown in drawing 13, it is smaller than the conventional example shown in drawing 5, and its thermal resistance of a terminal area should be just larger than the 5th embodiment shown in drawing 6. Namely, when distance with the center of the through hole B which approaches r, and the center of the through hole A and this most in the radius of the arbitrary through holes A is set to  $2R$ , When area in which the substance which constitutes a voltage plane in  $S_0$  and this field occupies the area of the field of the voltage plane surrounded by the circle of the radius r centering on the center of the through hole A and the circle of the radius R is set to  $S_1$ , When distance with the center of the through hole D which approaches this most with the center of r' and the through hole C in the radius of the arbitrary through holes C is made into  $2R'$  among the through holes which should just set to  $S_1/S_0 \geq 0.5$ , and are connected to the ground layer, the area of the field of the g

round layer surrounded by the circle of radius  $r'$  and the circle of radius  $R'$  centering on the center of the through hole C --  $S_0'$  -- what is necessary is to just be referred to as  $S_1'/S_0' \geq 0.5$  when area which the substance which constitutes a ground layer in this field occupies is made into  $S_1'$

[0048]By the above, the heat which has been transmitted to a ground pin and a power pin is transmitted from high exothermic CHITSUPU to a ground layer and a voltage plane more promptly than a conventional example, - part of \*\*\*\*  
\*\*\*\*\* gets across the ground pin of low-temperature CHITSUPU, and a power pin to a ground layer or a voltage plane rather than both layers, and since it is cooled in this low-temperature CHITSUPU and a pin surface, exothermic CHITSUPU can be cooled effectively, and also electrically, good connection is obtained. In addition, soldering can also be made easier than the 5th embodiment.

[0049]Although it has cooled through a ground pin and a power pin in the 1st - the 6th embodiment, After connecting the ground pin to the ground layer and connecting a power pin to a voltage plane in the 7th embodiment of this invention, the pin electrically insulated with the internal circuit of electronic circuit CHITSUPU, the input pin which is not used, or high impedance -- an intermediary \*\*\*\* output pin is connected to the more suitable one by the way thermal resistance becomes small, among a ground layer or a voltage plane. the connection method at this time -- Embodiment 5 or 6 -- a method .

[0050]In the 7th embodiment, - part of the heat which came out of high exothermic CHITSUPU, the pin electrically insulated with the internal circuit of a ground pin, a power pin, and electronic circuit CHITSUPU, the input pin which is not used, or high impedance -- an intermediary \*\*\*\* output pin is conducted to an intermediary intermediary ground layer or a voltage plane, and CHITSUPU is cooled. Since this example has many heat transfer courses which connect a ground layer and a voltage plane to CHITSUPU compared with the case where only a ground pin and a power pin are connected to each ground layer and a voltage plane, it can be cooled more effectively.

[0051]The same chilling effect is acquired not only a pin but by insulating to high exothermic electronic circuit CHITSUPU electrically, attaching - part of a thermally conductive good material to it from an internal circuit, and connecting with a ground layer or a voltage plane through other - parts of this material in a through hole etc.

[0052]Drawing 7 shows the 8th embodiment of this invention. The through hole 52 lets the signal pin 56 of electronic circuit CHITSUPU 57 pass, and it is connected to the wiring layers 48 and 51 by the solder 53. The ground layer 49 and the voltage plane 50 are mutually insulated with the wiring layers 48 and 51 by the insulating layer 518. Thermal conductivity is connected to the through hole 52 by the good material 54 although the ground layer 49 is insulation electrically. Thermal conductivity is connected to the through hole 52 by the good material 55 although the voltage plane 50 is insulation electrically. Although not illustrated, the power pin and the ground pin are connected to each voltage plane and a ground layer by the method that thermal resistance is low, The p

in furthermore electrically insulated with the inner electron circuit like the 7th embodiment if needed, the input pin which is not used, and the output pin of a high impedance state may be connected to the more suitable one by the way thermal resistance becomes small, among a ground layer or a voltage plane.

[0053] In the above electronic substrates, although a predetermined signal is transmitted in between the signal pin 56 and the wiring layers 48 and 51, since the ground layer 49 and the voltage plane 50 are insulated electrically, it does not get across to these layers and is not conversely transmitted from these layers, either. However, since the thermal resistance between the pin 56, and the ground layer 49 and the voltage plane 50 is small, When electronic circuit CHITSUPU 57 is high exothermic CHITSUPU, - part of the heat which came out of CHITSUPU 57 has \*\*\*\* intermediary electric insulation in the pin 56, and the good conductors 54 and 55 of heat are transmitted, it gets across to the ground layer 49 and the voltage plane 50, and CHITSUPU is cooled.

[0054] When electronic circuit CHITSUPU 57 is low heat generation CHITSUPU, the heat which came out of high exothermic CHITSUPU and has passed along the ground layer and the voltage plane gets across to the pin 56 through electric insulation and the thermal conductors 54 and 55, and is emitted from the surface of CHITSUPU 57 and the signal pin 56. In any case, when the whole electronic substrate is seen, it has contributed to cooling of CHITSUPU.

[0055] The pin electrically insulated with the inner electron circuit in the 8th embodiment depending on necessity to the ground pin and the power pin, Since it uses even the signal pin as a course of heat that the input pin which is not used and the output pin of a high impedance state serve as a heat transfer course from the first, Compared with the case of the others which do not carry this out, thermal resistance of CHITSUPU, and the ground layer of an electronic substrate and a voltage plane can be made small, and it is effective in CHITSUPU cooling. If a voltage plane uses 49 and a ground layer uses this method for 50 completely similarly also at the time of \*\*\*\*\*, it is effective in CHITSUPU cooling.

[0056] There is the method of the 9th embodiment shown in drawing 8 other than the method shown in the 8th embodiment as a method of connecting so that heat conduction may be performed good insulating between a ground layer and a voltage plane with a signal pin electrically. The ground layer 59 and the voltage plane 60 are mutually insulated with the wiring layers 58 and 61 by the insulating layer 519, and in drawing 8, although it is insulation electrically, the thermal conductivity is insulated with the good materials 505, 64, and 68 as electrically as each signal pins 507, 66, and 71, but. Heat is conducted well mutually. The lands 516, 62, 67, 517, 65, and 70 are on the wiring layer 58 and 61, and the land 516, 517 is connected to the signal pin 507 by the solder 504, 506. The land 62 is connected to the signal pin 66 by the solder 63. The land 70 is connected to the signal pin 71 by the solder 69. Although not illustrated, the ground pin and the power pin are connected to each applicable layer by the way thermal resistance becomes small, The pin furthermore electrically insulated with the inner electron circuit like the 7th embodiment if needed, the input pin which i

s not used, and the output pin of a high impedance state may be connected to the more suitable one by the way thermal resistance becomes small, among a ground layer or a voltage plane.

[0057]In the electronic substrate constituted as mentioned above, to a ground pin and a power pin pan. Since, as for the pin electrically insulated with the inner electron circuit depending on necessity, the input pin which is not used, and the output pin of a high impedance state serving as a heat transfer course, even a signal pin serves as a heat transfer course from the first, Heat conduction between electronic circuit CHITSUPU 72, the ground layer 59, and the voltage plane 60 is performed to \*\*\*\* like the 8th embodiment. Therefore, this electronic substrate is effective for cooling electronic circuit CHITSUPU.

[0058]As a method of connecting a ground layer and a voltage plane with a signal pin, which method in the case of the signal pins 507, 66, and 71 shown in drawing 8 may be adopted, and it may use combining them. If this method is completely used in a similar manner even when a voltage plane is set to 59 and a ground layer is set to 60, it is effective in cooling of CHITSUPU.

[0059]Drawing 12 shows the 10th embodiment of this invention. In drawing 12, the ground layer 137,140 and the voltage plane 138 are mutually insulated from the wiring layer 136,139,141 by the insulating layer 152. Intermediary \*\*\* \* [ as ] which conducts heat well mutually although the ground layers 137 and 140 and the voltage plane 138 are insulation electrically and are electrically insulated with the through hole 143 with the thermally conductive good material 146,147,148. the signal pin 150 -- the through hole 143 -- a connoisseur -- it is connected with the land 142,144,145 by an intermediary cage and the solder 149. Although not illustrated, the ground pin and the power pin are connected to each applicable layer by the way thermal resistance becomes small, The pin electrically insulated with the inner electron circuit like the 7th embodiment if needed, the input pin which is not used, and the output pin of a high impedance state may be connected to the more suitable one by the way thermal resistance becomes small, among a ground layer or a voltage plane.

[0060]In the above patchboards, to a ground pin and a power pin pan, depending on necessity. Since, as for the pin electrically insulated with the inner electron circuit, the input pin which is not used, and the output pin of a high impedance state serving as a heat transfer course, even a signal pin serves as a heat transfer course from the first, Heat conduction between electronic circuit CHITSUPU 151, the ground layer 137,140, and the voltage plane 138 is performed good like the 8th embodiment. Therefore, this electronic substrate is effective for cooling electronic circuit CHITSUPU.

[0061]Although the 8th embodiment did not show the example in case a wiring layer is in an internal layer, how to connect so that heat conduction may be performed good, insulating electrically between a signal pin, and ground layers and voltage planes when a wiring layer is in an internal layer in this example as shown. Even if a wiring layer, a ground layer, and a voltage plane increase rather than drawing 12 by using the same technique as this, Insulating a voltage plane and a ground layer with a signal pin electrically, even if an order of la

mination changes, it can connect so that heat conduction can be carried out good mutually, and an electronic substrate effective in cooling of electronic circuit CHITSUPU can be obtained.

[0062]Drawing 16 shows the 11th embodiment of this invention. In drawing 16, the ground layer 184,187, the voltage plane 185, and the wiring layer 183,186,188 of each other are insulated by the insulating layer 199. The signal pin 198 of electronic circuit CHITSUPU 197 is connected to the lands 189-191 on each wiring layer 183,186,188 by the solder 194,195,196, Intermediary \*\*\*\* [ as ] which is transmitted well [ each ] as for heat although the ground layer 184,187 of an electronic substrate and the voltage plane 185 are excellent in the signal pin 198 and electric insulation and it is electrically insulated with the thermally conductive good material 192,193. Although not illustrated, the ground pin and the power pin are connected to each applicable layer by the way thermal resistance becomes small, The pin electrically insulated with the inner electronic circuit like the 7th embodiment if needed, the input pin which is not used, and the output pin of a high impedance state may be connected to the more suitable one by the way thermal resistance becomes small, among a ground layer or a voltage plane.

[0063]In the above electronic substrates, a ground pin, a power pin, the pin further insulated with the inner electronic circuit electrically depending on necessity, the input pin which is not used, From the first, since even a signal pin serves as a heat transfer course, it is performed good [ heat conduction between electronic circuit CHITSUPU 197, the ground layer 184,187, and the voltage plane 185 ] of the 9th embodiment and the opportunity that the output pin of a high impedance state serves as a heat transfer course. Therefore, this electronic substrate is effective for cooling electronic circuit CHITSUPU.

[0064]Although the 9th embodiment did not show the example in case a wiring layer is in an internal layer, in this example, how to connect so that heat conduction may be performed good was shown, insulating between a ground layer and voltage planes with a signal pin electrically, when a wiring layer is in an internal layer. Even if a wiring layer, a ground layer, and a voltage plane increase rather than drawing 16 by using the same technique as this, Insulating a voltage plane and a ground layer with a signal pin electrically, even if an order of lamination changes, it can connect so that heat conduction can be carried out good mutually, and an electronic substrate effective in cooling of electronic circuit CHITSUPU can be obtained.

[0065]Drawing 9 shows the 12th embodiment of this invention. The 12th embodiment is constituted by allotting the connectors 73-82, the ZIP type memories 83-86, high exothermic electronic circuit CHITSUPU 87-105,503, and low heat generation electronic circuit CHITSUPU that is not illustrated on the electronic substrate 106, as shown in drawing 9.

[0066]In order to cool such an electronic substrate, the fluid for cooling, for example, air, is poured leftward (connector 82 side) from the right (connector 76-78 side) of drawing 9 by a fan etc. In order to prevent delay of a signal, and mixing of a noise in the system which is generally crowded two or more sets in an e



electronic substrate, he would like to shorten a signal wire, and also the packaging density of a substrate is raised as much as possible for the Reason for liking to make a system compact etc.

[0067]When high density assembly of the electronic substrate as shown in drawing 9 is carried out, it will be in the state where it is shown in drawing 14, Since the crevice between the electronic substrates which adjoin the connector 157,158,159 is small compared with the distance between the adjoining electronic substrates when a fluid is poured to an arrow direction, the pass resistance in this portion of a fluid becomes large. Therefore, the speed of the fluid in which a fluid passes a rat tail, B, D, and the F section in B in drawing 14, D, and the F section becomes far [ before being extracted ].

[0068]It is drawing 10 which showed the outline of the flow of the fluid in the electronic substrate 106 shown in drawing 14. Intermediary \*\*\*\* with a small interval with the electronic substrate which, as for the connectors 73-82 and the ZIP type memories 83-86, the height from the component side surface of the electronic substrate 106 adjoins highly in drawing 10. Therefore, the connectors 73-82 and the ZIP type memories 83-86 act as an obstacle of the flow of a fluid. As a result, the flow and intermediary \*\*\*\* of a fluid as shown in drawing 10 by an arrow on the component side of the electronic substrate 106. So, when arranging high exothermic electronic circuit CHITSUPU 87-105,503 to such electronic group Sakagami, as shown in drawing 9, it allots. Although not illustrated, low heat generation CHITSUPU is allotted to the remaining spaces that allotted high exothermic CHITSUPU in drawing 9.

[0069]As mentioned above, in a \*\*\*\*\* electronic substrate, CHITSUPU 93-96 hits in mounting the fluid which the rat tail rate of flow increased to the field D between the connector 76 and 77, and CHITSUPU 99-102 hits the fluid which the rat tail rate of flow increased to the field B between the connectors 77 and 78. Since a heat transfer coefficient improves and the effect of cooling increases so that the rate of flow of a fluid is large when cooling a heating element with a fluid generally, these CHITSUPU is more effectively cooled by the connectors 76-78 compared with the case where a fluid is not extracted.

[0070]In the position by which high exothermic CHITSUPU 89-91,503 is arranged, the fluid which passed through the field D and the field F collided, and disorder has arisen. Therefore, in this position, heat transfer between a chip surface and a fluid will be in the state of turbulent heat transfer, and compared with the case where disorder does not arise, since a heat transfer coefficient improves remarkably, CHITSUPU is cooled more effectively.

[0071]High exothermic CHITSUPU 87 and 88 hits the fluid which the rat tail and the rate of flow increased between the ZIP type memory 83 and 84, and high exothermic CHITSUPU 92 hits the fluid which the rat tail and the rate of flow increased between the ZIP type memory 84 and 85. High exothermic CHITSUPU 97 and 98 hits the fluid which the rat tail and the rate of flow increased among the ZIP type memories 85 and 86, and high exothermic CHITSUPU 103-105 hits the fluid which the rat tail and the rate of flow increased between the ZIP type memory 86 and the connectors 79-81. Therefore, since high exother

mic CHITSUPU 87, 88, 92, 97, 98,103-105 all hits the fluid of the quick rate of flow compared with the case where there is \*\*\*\* like drawing 9 as for nothing, in a connector or a ZIP type memory, it is cooled more effectively.

[0072]As mentioned above, in the 12th embodiment of this invention shown in drawing 9, CHITSUPU can be effectively cooled by disorder of the fluid for cooling which the rate of flow increased according to the diaphragm by these, and the fluid for cooling produced by these, using rather and positively the obstacle of the flow of fluids, such as a connector which must be arranged on an electronic substrate, and a ZIP type memory. It has also contributed the substrate which mounted CHITSUPU to effective cooling that surface area is increasing compared with the substrate which does not mount CHITSUPU, and that disorder has arisen with the flow of a fluid by CHITSUPU itself.

[0073]As an obstacle which controls the flow of a fluid, a connector and not only a ZIP type memory but the parts and other whatever which originally are not on a substrate in addition to this if it is \*\* in \*\* may be used.

[0074]\*\*\*\* and the fluid for cooling may be insulating gases, and may be an insulating liquid. When the fluid for cooling is a liquid, a substrate may be made immersed into this liquid.

[0075]Drawing 11 shows the 13th embodiment of this invention. The electronic substrates 107-109 are connected to the mother board 121 by each \*\* connector 118,119,120 in drawing 11. The ground layer of the electronic substrate 107 is connected to the conduction plate 113,117 by the conduction plate 110,114, and the voltage plane of the electronic substrate 107 is connected to the conduction plate 510 by the conduction plate 511 with another conduction plate again at the conduction plate 515. The ground layer of the electronic substrate 108 is connected to the conduction plate 113,117 by the conduction plate 111,115, and the voltage plane of the electronic substrate 108 is connected to the conduction plate 510 by the conduction plate 512 with another conduction plate again at the conduction plate 515.

[0076]The ground layer of the electronic substrate 109 is connected to the conduction plate 113,117 by the conduction plate 112,116, and the voltage plane of the electronic substrate 109 is connected to the conduction plate 510,515 by the conduction plate 513,514.

[0077]Here, all the conduction plates comprise a good conductor of \*\*\*\* and heat, and the tangent with a conduction plate is performed so that electrical resistance and thermal resistance may become small.

[0078]The ground layer of the mother board 121 is connected to the ground plate 122 by the conduction plate 127,128,129 and other conduction plates, and the voltage plane of the mother board 121 is connected to the power supply plate 123 by the conduction plate 130,131,132 and other conduction plates.

[0079]Here, the ground plate 122 and the power supply plate 123 comprise a good conductor of the electrical and electric equipment and heat. The conduction plate 113,117 is connected to the ground plate 122 by the conduction plate 124,125, and the conduction plate 510,515 is connected to the power supply plate 123 by the conduction plate 508,509. The fluid for cooling is poured from space

this side to the back, as the arrow has shown in drawing 11. On each electronic substrate, high exothermic CHITSUPU 126 is mounted partly.

[0080] Each electronic substrate has adopted either of the structures shown in the 1st - the 12th embodiment, or its combination.

[0081] In a system with the above structures, \*\*\*\* intermediary cooling of the heat generated from electronic circuit CHITSUPU mounted on the electronic substrate 109 is carried out in the following courses.

[0082] (a) It conducts to this exothermic chip surface, and is cooled by the chip surface by flowing fluid.

[0083] (b) It gets across to the pin which has come out of this exothermic CHITSUPU, and is cooled in a pin surface.

[0084] (c) It is transmitted from exothermic CHITSUPU to an internal-layer ground layer and a voltage plane through the pin connected to the ground layer or the voltage plane by the method that thermal resistance is small, among the pins of this CHITSUPU. Through this, rather than both this layer, it gets across to the surface of low-temperature low heat generation CHITSUBU, and is cooled in a chip surface and the pin surface of this low heat generation CHITSUPU.

[0085] (d) It gets across to a \*\*\*\* intermediary pan through here at the whole electronic substrate at an internal-layer ground layer and a voltage plane through the pin connected to the ground layer or the voltage plane by the method that thermal resistance is small, among the pins of exothermic CHITSUPU to this CHITSUPU, it gets across to the electronic substrate surface gradually, and surface cooling is carried out.

[0086] (e) It is transmitted from exothermic CHITSUPU to an internal-layer ground layer, get across the conduction plate 112, 116 to the \*\*\*\* intermediary conduction plate 113, 117, and the conduction plate 124, 125 is transmitted further, and get across to the ground plate 122. The heat transmitted in this course is cooled on the surface of each conduction plate, and the surface of the ground plate 122. - part of the heat which got across to the internal-layer ground layer gets across to the mother board 121 through the connector 120, and gets across to the ground plate 122 through the conduction plates 127-129 and other conduction plates further. The heat transmitted in this course is cooled in the surface, the mother board surface, and the grand sheet surface of each conduction plate. If there is a low-temperature electronic substrate (daughter board) rather than a mother board, heat will be transmitted also there from Mother PODO and \*\*\*\*\* will be cooled within a daughter board here.

[0087] (f) being transmitted from exothermic CHITSUPU to an internal-layer voltage plane - conduction - -ed - - 513, 514 is transmitted, get across to the conduction plate 510, 515, and the conduction plate 508, 509 is transmitted further, and get across to the power supply plate 123. The heat transmitted in this course is cooled on the surface of each conduction plate, and the surface of the power supply plate 123. - part of the heat which got across to the internal-layer voltage plane gets across to the mother board 121 through the connector 120, and gets across to the power supply plate 123 through the conduction plates 130-13

2 and other conduction plates further. The heat transmitted in this course is cooled in the surface, the Mother PODO surface, and the power supply plate surface of each conduction plate. If there is a low-temperature daughter board from a mother board, heat will be transmitted also there from Mother PODO and \*\*\*\*\* will be cooled within a daughter board here.

[0088](g) In addition, there is also a chilling effect by the radiation from each CHITSUPU, a pin conduction plate, an electronic substrate, Mother PODO, a power supply plate, and a ground plate and a convection.

[0089]By the above, electronic circuit CHITSUPU can be cooled on the electronic substrate 109. It can cool in a way with the same similar of electronic circuit CHITSUPU on the electronic substrate 107, 108.

[0090]In the system shown in drawing 11, it faces supplying a power supply to the mother board 121, and the voltage plane of a mother board and the ground layer are supplied via the power supply plate 123 and the ground plate 122 from power supply YU \*\* TSUTO. Here, the power supply potential and the ground layer which serve as the power supply plate 123 and serve as a standard of each \*\* whole system on the ground plate 122 are supplied. Here, since the power supply potential and ground potential which serve as the power supply plate 123 and serve as a standard of each \*\* whole system on the ground plate 122 can be stabilized, power supply potential and ground potential can be stabilized on the mother board 121 and the daughter board slack board 107-109.

[0091]The structure shown in the 1st - the 4th embodiment is adopted also as the mother board 121. Therefore, by having provided the voltage plane and the ground layer in the multilayer like the daughter board slack boards 107-109 also in the mother board 121, Impedance of a voltage plane and the ground layer itself can be made small, and change of the power supply potential and ground potential to the operation containing many high frequency components can be small suppressed within a substrate.

[0092]Since exothermic CHITSUPU and the heat from a hot connector pin are mainly transmitted in the ground layer of an internal layer, and a voltage plane and spread in the whole substrate like the daughter board slack boards 107-109 also in the mother board 121, the temperature of a substrate can be equalized.

[0093]Although the daughter board connected to Mother PODO 121 is three sheets of the substrates 107-109 in drawing 11, even if the number of DOTAPODO increases from this, there is the completely same effect as the above.

[0094]It is more effective for stabilization of ground potential, power supply potential, and a signal to cooling of CHITSUPU, and electronic group Sakagami to shorten the course which ties a join byway way, and the mother board 121 and the power supply plate 123 for the mother board 121 and the ground plate 122 as much as possible.

[0095]Although the ground plate 122 and the power supply plate 123 are arranged to the mother board 121 down side by this example, as long as the above-mentioned conditions are fulfilled, they may be arranged how many sheets anywhere. Unevenness or a fin may be provided in the surface of the ground plate 1

22 and the power supply plate 123, and cooling of CHITSUPU is more effectively performed at this time.

[0096]Although the ground layer and the ground plate 122 of each electronic substrate were connected with the conduction plates 110-117,124,125 and the voltage plane and the power supply plate 123 of each electronic substrate are connected with the conduction plates 510-515,508,509 and other conduction plates in drawing 11, It is not necessary to necessarily connect a ground layer and a voltage plane to each, ground plate 122 and the power supply plate 123, and only the ground plate 122 may be connected with a ground layer, and only the power supply plate 123 may be connected with a voltage plane.

[0097]The position of a conduction plate does not necessarily need to be the same as drawing 11, and may arrange the suitable number for a suitable position if needed. If the mother board of this electronic substrate equipment and DO TAPODO are constituted using the electronic substrate of this invention, and a mounting electronic substrate, the effect described here will become more effective.

[0098]The 14th embodiment of this invention is described using drawing 3. The electronic substrate of this example comprises the wiring layers 23 and 26, the 28 ground layers 24 and 27, the voltage plane 25, and the insulating layer 501. Here, the insulating layer 501 is excellent in electric insulation, and comprises the material (for example, Ceramics Sub-Division) or structure whose thermal conductivity is better than an epoxy resin. The \*\*\*\* and wiring layer 23 side is a component side, and the wiring layer 28 side is a solder surface. It is drawing 15 which showed the junction state of the ground pin, power pin and signal pin which have come out of electronic circuit CHITSUPU and CHITSUPU which are mounted in the electronic substrate in this example, and the electronic substrate in this example.

[0099]In drawing 15, the through hole 520 along which the signal pin 170 of electronic circuit CHITSUPU 175 passes is connected with each wiring layer and the lands 167-169 in 23, 26, and 28. The insulating layer 501 and the through hole 520 adjoin, and heat conduction between both is performed good. The ground layers 24 and 27, the voltage plane 25, and the insulating layer 501 also adjoin, and heat conduction between both is performed good. The ground layers 24 and 27 and the through hole 520 are insulated by the space 172,174, and the voltage plane 25 and the through hole 520 are insulated by the space 173.

[0100]The through hole 163 along which the ground pin 161 passes is electrically connected to the land 177,178 on each wiring layer 23 and 28. The insulating layer 501 and the through hole 163 adjoin, and heat conduction between both is performed good. The ground layers 24 and 27 and the through hole 163 are electrically connected. The voltage plane 25 and the through hole 163 are insulated by the space 164.

[0101]The through hole 165 along which the power pin 162 passes is electrically connected to the land 180,181 on each \*\* wiring layer 23 and 28. The voltage plane 25 is electrically connected to the through hole 165. The insulating layer 501 adjoins the through hole 165, and heat conduction between both is performed

med good. The ground layers 24 and 27 and the through hole 165 are insulated by the space 166,176.

[0102]In the electronic substrate constituted as mentioned above, the heat generated from electronic circuit CHITSUPU 175 mounted in the substrate is cooled as follows. First, a part of the generated heat gets across to this CHITSUPU 175 surface, and is cooled there. The remaining heat is transmitted in the signal pin 170, the ground pin 161, and the power pin 162. Here, a part of heat is cooled in a pin surface. \*\*\*\*\* is transmitted in the solder 171 and the through hole 520, and gets across the pin 170 to the insulating layer 501. Here, although the insulating layer 501 is an electric insulator, since it is a good conductor of heat, the thermal resistance between the through hole 520 and the insulating layer 501 is small compared with the case where the insulating layer 501 is a bad conductor of heat, and heat conduction between both is performed good.

[0103]The heat transmitted in the pin 161 gets across also to the insulating layer 501 which transmits and adjoins the ground layers 24 and 27 which are transmitted in the solder 179 and the through hole 163, and are electrically connected. Here, although the insulating layer 501 is an electric insulator, since it is a good conductor of heat, the thermal resistance between the through hole 163 and the insulating layer 501 is small compared with the case where the insulating layer 501 is a bad conductor of heat, and heat conduction between both is performed good.

[0104]The heat transmitted in the pin 162 gets across also to the insulating layer 501 which is transmitted in the solder 182 and the through hole 165, and transmits and adjoins the voltage plane 25 connected. Although the insulating layer 501 is an electric insulator here, since it is a good conductor of heat, the thermal resistance between the through hole 165 and the insulating layer 501 is small compared with the case where the insulating layer 501 is a bad conductor of heat, and heat conduction between both is performed good.

[0105]The heat which got across to the ground layers 24 and 27, the voltage plane 25, and the insulating layer 501 as mentioned above is cooled by either of the following courses.

[0106]First, heat is transmitted [ 1st ] from the ground layers 24 and 27, the voltage plane 25, and the insulating layer 501 to the thickness direction of an electronic substrate, the electronic substrate surface is arrived at, and it is cooled there. Since the insulating layer 501 is a good conductor of heat here and heat gets across to a substrate face promptly compared with the case where the bad conductor of heat is used for an insulating layer, it is cooled more by fitness.

[0107]The ground pin of a temperature 2nd lower than the ground layers 24 and 27, the voltage plane 25, and the insulating layer 501, a power pin, and a signal pin are transmitted, and it is cooled on the surface with the surface of this pin, and this pin of CHITSUPU. When the insulating layer 501 is a bad conductor of heat, the course which is transmitted in the ground layer of heat and a voltage plane, and reaches a \*\*\*\* intermediary chip surface in a ground pin and a power pin is main here, but. Since the good conductor of the heat of the in

insulating layer 501 is used in this example, there are a course which results an insulating layer besides the above-mentioned course in a \*\*\*\* intermediary ground pin, and reaches a \*\*\*\* intermediary chip surface in a power pin, and a course which is transmitted [ insulating layer ] in a \*\*\*\* intermediary signal pin, and reaches a chip surface, Heat conduction is promoted and only the part whose course increased is cooled more by fitness.

[0108]A ground layer, a voltage plane, and an insulating layer are transmitted, and it is cooled [ 3rd ] in the cooling equipment formed in the point of these layers. Here, compared with the case where the insulating layer 501 is a bad conductor of heat, there is much quantity of heat to which the direction of this example reaches previous cooling equipment through the insulating layer 501, and it is effective by cooling of exothermic CHITSUPU.

[0109]Since it has allotted the multilayer as a ground layer and a voltage plane are shown in drawing 15, the effect of reducing the noise by a cross talk is the same as that of the 3rd embodiment, and is the same. [ of the method of making the effect more remarkable ]

[0110]It compares, when it allotted the multilayer and the ground layer covering a multilayer, the whole voltage plane, the ground layer of the same thickness, and a voltage plane are made [ every / - layer ], as a ground layer and a voltage plane were shown in drawing 15, Since many the ground layers and voltage planes which are the good conductors of heat can be allotted to a near place from a substrate face, it is advantageous to cooling in a substrate face. This is the same also about the case where the insulating layer 501 is a bad conductor of heat.

[0111]By having provided the voltage plane and the ground layer in the multilayer, impedance of a voltage plane and a ground layer can be made small, and change of the power supply potential and ground potential to high frequency operation can be small suppressed within a substrate.

[0112]Since the ground layers 24 and 27 of an internal layer and the voltage plane 25 are transmitted also in the thermally conductive good insulating layer 501, of course and the heat from electronic circuit CHITSUPU 175 generating heat spreads in the whole substrate in this example, Compared with the case where the insulating layer 501 is a bad conductor of heat, equalization of the temperature of a substrate can be attained more effectively.

[0113]Here, although the fields 172-174,164,166,176 were space, this portion is also excellent in electrical insulation, and may consist of the materials or structures which are a good conductor of heat. Since this portion can also be contributed to conduction of heat in such a structure, the above-mentioned effect appears more effectively. The example of drawing 3 is a - embodiment in the case of constituting this invention from 6 lamellae, From the material which has provided the ground layer or the voltage plane next to through the insulating layer of the wiring layer, and moreover has the good conductance of heat with insulation with an electric insulating layer, or structure, if it is \*\*\*\*\*, It means that an order had constituted the electronic substrate of this invention with the lamination shown in drawing 3 also in intermediary \*\*\*\* [ \*\*\*\* / different

intermediary ] with a as different number of layers as drawing 3.

[0114]For example, if the material or structure which has the good conductance of heat with insulation with the electric insulating layer 5 in drawing 1 is comprised, It becomes - embodiment which constituted this invention from 4 lamellaes, and if it is \*\*\*\*\*, it will become - embodiment which constituted this invention from 8 lamellaes from the material which has the good conductance of heat with insulation with the electric insulating layer 500 in drawing 2, or structure. In drawing 4, if the material or structure which has the good conductance of heat with insulation with the electric insulating layer 502 is comprised, it will become - embodiment which constituted this invention from 12 lamellaes. These effects are the same as that of the 14th embodiment.

[0115]Either or the electronic substrate which combined some before long of Embodiments 1-14 is heated beforehand, and the mounting method which performs soldering of parts is the 15th embodiment of this invention after that.

[0116]If it tries to solder parts, not preheating such an electronic substrate without using this system, Although \*\*\*\*\* escapes in thermally conductive good layers, such as a ground layer and a voltage plane, immediately in the through hole connected to thermally conductive good layers, such as a ground layer and a voltage plane, by the way thermal resistance becomes low and soldering is not performed to fitness, If this system is used, since thermally conductive good layers, such as a ground layer and a voltage plane, are heated beforehand and temperature is high, the \*\*\*\*\* can escape in thermally conductive good layers, such as a ground layer and a voltage plane, and can perform a hard intermediary and soldering to this through hole good.

[0117]It faces mounting parts in the electronic substrate which combined some either of the Embodiments 1-14, or of them, The mounting method which inserts IC, LSI, etc. in a socket after cooling enough by building sockets of business, such as IC and LSI, into this electronic substrate beforehand, and soldering after heating this electronic substrate beforehand like the 15th embodiment is the 16th embodiment of this invention. When parts are mounted by a method like the 15th embodiment in such an electronic substrate, IC or LSI incorporated when preheating time was long or preheat temperature was high breaks down, and will not carry out normal operation.

[0118]Then, if this method is used, parts can be mounted, without exposing IC or LSI to an elevated temperature.

[0119]

[Effect of the Invention]Since transmit to the ground layer or voltage plane which constituted thickly the heat which is generated with the chip which built in the electronic circuit according to this invention from a wiring layer through the pin of a chip good, the range with a wide substrate is made to diffuse heat promptly and heat can be radiated from a substrate face, a radiation means can be constituted compactly.

[0120]By heating beforehand thermally conductive good layers, such as a ground layer and a voltage plane, since it can be made hard to escape from this through hole in heat in the case of an intermediary with a small temperature gra



dient with these layers and melting points of solder, and soldering, it can solder to fitness.

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view showing the 1st embodiment of this invention

.

[Drawing 2] It is a sectional view showing the 2nd embodiment of this invention.

[Drawing 3] It is a sectional view showing the 3rd embodiment of this invention

.

[Drawing 4] It is a sectional view showing the 4th embodiment of this invention

.

[Drawing 5] It is a figure showing the thermal land by conventional technology.

[Drawing 6] It is a figure showing the 5th embodiment of this invention.

[Drawing 7] It is a sectional view showing the 8th embodiment of this invention

.

[Drawing 8] It is a sectional view showing the 9th embodiment of this invention

.

[Drawing 9] It is a figure showing the 12th embodiment of this invention.

[Drawing 10] It is a figure showing the 12th embodiment of this invention.

[Drawing 11] It is a figure showing the 13th embodiment of this invention.

[Drawing 12] It is a sectional view showing the 10th embodiment of this invention.

[Drawing 13] It is a figure showing the 6th embodiment of this invention.

[Drawing 14] It is a figure showing the 12th embodiment of this invention.

[Drawing 15] It is a sectional view showing the 14th embodiment of this invention.

[Drawing 16] It is a sectional view showing the 11th embodiment of this invention.

[Explanations of letters or numerals]

1, 4 [ -- An insulating layer, 9 / -- Ground pin, ] -- A wiring layer, 2 -- A ground layer, 3 -- A voltage plane, 5 10 -- A signal pin, 11 -- A power pin, 13, 15, 18, 20 -- Wiring layer, 14, 19 -- A ground layer, 16, 17 -- A voltage plane, 21, 22 -- Wiring, 23, 26, 28 -- A wiring layer, 24, 27 -- A ground layer, 25 -- Voltage plane, 29, 33, 38, 40 -- A wiring layer, 30, 32, 34, 37, 39 -- Ground layer, 31, 35, 36 -- A voltage plane, 41, 46 -- A through hole, 42 -- Notch, 43 [ -- Wiring layer, ] -- A channel section, 44 -- A land, 45, 47 -- A ground layer, 48, 51 49 [ -- Wiring layer, ] -- A ground layer, 50 -- A voltage plane, 56 -- A signal pin, 58, 61 59 -- A ground layer, 60 -- A voltage plane, 66, 71, 507 -- Signal pin, 73-82 -- A connector, 83-86 -- A ZIP memory, 87-105 -- Quantity exothermic electronic circuit CHITSUPU, 107-109 -- An electronic substrate, 110-117 -- A conduction plate, 121 -- Mother board, 122 [ -- A wiring layer, 137, 140 / -- A ground layer, 138 / -- A voltage plane, 150 / -- A signal pin, 152 / -- An insulating layer, 153 / -- A through hole, 156 / -- Ground layer, ] -- A ground plate, 123 -- A power supply plate, 124, 125, 127-132 -- A conduction plate, 136, 139, 141 157-159 [ -- A signal pin, 183, 186, 188 / -- A

wiring layer, 184,187 / -- A ground layer, 185 / -- A voltage plane, 500-502 / -- A  
n insulating layer, 503 / -- Quantity exothermic electronic circuit CHITSUPU,  
508-515 / -- Conduction plate. ] -- A connector, 161 -- A ground pin, 162 -- A pow  
er pin, 170

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93237

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>6</sup>

H 0 5 K 3/46

1/11

1/18

7/20

識別記号

F I

H 0 5 K 3/46

1/11

1/18

7/20

G

N

H

A

C

審査請求 有 請求項の数 6 O L (全 15 頁)

(21) 出願番号

特願平9-214390

(62) 分割の表示

特願平1-4923の分割

(22) 出願日

平成1年(1989) 1月13日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 亀谷 雅嗣

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(72) 発明者 梅北 和弘

茨城県土浦市神立町502番地 株式会社日立製作所機械研究所内

(74) 代理人 弁理士 小川 勝男

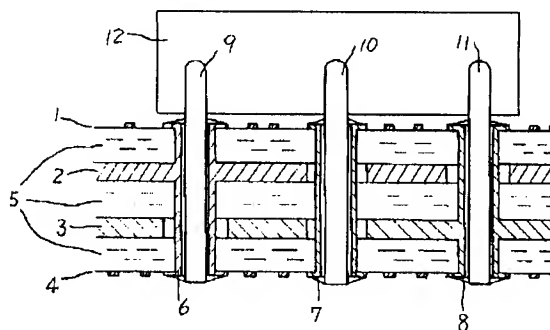
(54) 【発明の名称】 電子基板

(57) 【要約】

【課題】 本発明の目的は、その上に実装している電子回路が正常に動作できるように、放熱手段をコンパクトに備えた電子基板又は実装電子基板を提供することにある。

【解決手段】 配線層1、4、グランド層2、電源層3がそれぞれの層の間に絶縁層5を介して多層に配置されている電子基板において、グランド層2又は電源層3の厚さが前記配線層1、4の厚さよりも大きく構成され、前記グランド層2又は前記電源層3に電子回路を内蔵したチップのピンを接続するスルーホール6～8を設ける。

図1



## 【特許請求の範囲】

【請求項 1】配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層は両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配されていることを特徴とする電子基板。

【請求項 2】配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層を両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配し、前記グラウンド層又は前記電源層の少なくとも一層の厚さを前記配線層の厚さよりも大きく構成し、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けたことを特徴とする電子基板。

【請求項 3】配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板に電子回路部品を実装した実装電子基板において、前記配線層を両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配し、前記グラウンド層又は前記電源層の少なくとも一層の厚さを前記配線層の厚さよりも大きく構成し、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けたことを特徴とする実装電子基板。

【請求項 4】配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、グラウンド層又は電源層の厚さが前記配線層の厚さよりも大きく構成され、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けたことを特徴とする電子基板。

【請求項 5】配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板に電子回路部品を実装した実装電子基板において、グラウンド層又は電源層の厚さを前記配線層の厚さよりも大きく構成し、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けたことを特徴とする実装電子基板。

【請求項 6】配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置され、グラウンド層又は電源層の厚さが前記配線層の厚さよりも大きく構成された電子基板を予め加熱し、前記前記グラウンド層又は前記電源層の温度を上げた状態で、前記グラウンド層又は前記電源層に電気的に接続されたスルーホールに電子回路を内蔵したチップのピンを挿入し、前記スルーホールと前記ピンをハンダ付けすることを特徴とする電子基板の実装方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は放熱性にすぐれたコンパクトな構造をもつ電子基板、その実装電子基板および電子基板の実装方法に関する。

## 【0002】

【従来の技術】作動中の電子回路チップは熱を発生するが、これを冷却しないままにしておくと、電子回路の温度が上昇して、ついには正常動作しなくなる。そこで、電子回路が正常に動作するよう、チップを冷却する必要があるが、電子回路チップは電子基板上に実装されて用いられるのが一般的である。

【0003】従来電子基板に実装された電子回路チップを冷却する方法として、電子回路パッケージにフィンを取付け、このフィンを空冷または水冷する方法の他、特開昭 60-35598 号公報、特開昭 61-24850 号公報に記載のように、電子基板の外側に冷却板を取りつけることによつて、電子回路パッケージを冷却したり、特開昭 62-198200 号公報に記載のように、電子基板の裏面又は内部に冷却液を封入した箱形状のヒートパネルを密着または挿入して冷却していた。

## 【0004】

【発明が解決しようとする課題】上記従来技術は冷却設備に要するスペースとコストについての配慮がされておらず、電子回路チップを実装した電子基板を高密度実装することが困難な上、一電子基板当りのコストが高いという問題があった。

【0005】本発明の目的は、その上に実装している電子回路が正常に動作できるように、放熱手段をコンパクトに備えた電子基板又は実装電子基板を提供することにある。

【0006】本発明の他の目的は、放熱又は冷却のための構造を備えた電子基板に部品をハンダ付けするのに際して、良好なハンダ付けを可能にする実装方法を提供することにある。

## 【0007】

【課題を解決するための手段】上記目的を達成するために、本発明の電子基板は、配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層は両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配されている。また上記目的を達成するために、本発明の電子基板は、配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、前記配線層を両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配し、前記グラウンド層又は前記電源層の少なくとも一層の厚さを前記配線層の厚さよりも大きく構成し、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けた。また上記目的を達成するために、本発明の実装電子基板は、配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板に電子回路部品を実装した実装電子基板において、前記配線層を両側に前記グラウンド層又は前記電源層が配置されている層を含めて複数層配し、前

記グラウンド層又は前記電源層の少なくとも一層の厚さを前記配線層の厚さよりも大きく構成し、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けた。また上記目的を達成するために、本発明の電子基板は、配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板において、グラウンド層又は電源層の厚さが前記配線層の厚さよりも大きく構成され、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けたことを特徴とする電子基板。また上記目的を達成するために、本発明の実装電子基板は、配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置されている電子基板に電子回路部品を実装した実装電子基板において、グラウンド層又は電源層の厚さを前記配線層の厚さよりも大きく構成し、前記グラウンド層又は前記電源層に電子回路を内蔵したチップのピンを接続するスルーホールを設けた。また上記目的を達成するために、本発明の電子基板の実装方法は、配線層、グラウンド層、電源層がそれぞれの層の間に絶縁層を介して多層に配置され、グラウンド層又は電源層の厚さが前記配線層の厚さよりも大きく構成された電子基板を予め加熱し、前記前記グラウンド層又は前記電源層の温度を上げた状態で、前記グラウンド層又は前記電源層に電気的に接続されたスルーホールに電子回路を内蔵したチップのピンを挿入し、前記スルーホールと前記ピンをハンダ付けする。上記手段によれば、電子回路を内蔵したチップで発生する熱をチップのピンを通じて配線層よりも厚く構成したグラウンド層又は電源層に良好に伝達し、基板の広い範囲に速やかに熱を拡散させ、基板表面から放熱できるので、放熱手段をコンパクトに構成することができる。また、グラウンド層、電源層等の熱伝導性のよい層を予め加熱しておくことにより、これらの層とハンダの融点との温度差が小さくなくて、ハンダ付けの際に該スルーホールから熱を逃げにくくすることができるので良好にハンダ付けを行うことができる。

#### 【0008】

【発明の実施の形態】以下、本発明の第1の実施例を図1により説明する。

【0009】第1実施例の電子基板は配線層1、4、グラウンド層2、電源層3、絶縁層5から成っており、スルーホール6はグラウンド層2に、スルーホール7は配線層1、4に、スルーホール8は電源層3にそれぞれ接続されている。グラウンド層2および電源層3は電気抵抗が小さくかつ熱伝導率のよい物質、例えば銅で構成されており、電子基板一面に広がっている。また、スルーホールによる切欠穴、スルーホールからの逃げ穴等の切欠部はコストとのかね合いを図りながらなるべく小さくし、導体面積を大きくしている。また、電子回路チップ12からグラウンドピン9、信号ピン10、電源ピン11が出て

おり、グラウンドピン9はスルーホール6に、信号ピン10はスルーホール7に、電源ピン11はスルーホール8に熱抵抗が小さくなる方法で接続されている。

【0010】以上のような電子基板において、電子回路チップ12から発する熱は次のようにして運ばれ、電子回路チップ12は冷却される。電子回路チップ12で発生した熱は一方でグラウンドピン9を伝わってグラウンド層2に運ばれ、他方で電源ピン11を伝わって電源層3に運ばれる。グラウンド層2および電源層3は電気抵抗が小さくかつ熱伝導率のよい物質で構成されているので、これらの層に伝わった熱は内層であるこれらの層を伝わって、主に次の3つの方法で冷却される。1つは、グラウンド層2および電源層3の先に設けられた冷却部で冷却され、2つめは電子基板の表面へと伝わって表面でそこを流れる流体によって冷却される。3つめは、この内層グラウンド層、電源層よりも温度の低い低発熱チップのグラウンドピン、電源ピンを伝わって低発熱チップ表面へと伝わり、ピンおよびチップ表面でそこを流れる流体によって冷却される。このとき、チップ実装時のピンおよびチップの表面積は、非実装時の基板表面積より大きくなるので伝熱面積が広がり冷却に有利である。

【0011】この他、内層を経由せずに発熱チップから該チップ表面へと伝わり、チップ表面で冷却される熱、および該チップのピン表面に伝わりそこで冷却される熱がある。

【0012】さらに、各表面からの輻射、対流によって冷却される効果もある。このような方法によって電子回路チップ12を冷却することができる。以上のようにすれば、グラウンド電位を電子回路チップ12に供給する機能をもつグラウンド層2に電子回路チップ12から発生する熱を伝導するという機能を付加することができ、電源電位を電子回路チップ12に供給する機能をもつ電源層3に電子回路チップ12から発生する熱を伝導するという機能を付加することができる。つまり、本提案の電子基板においては、グラウンド層2、電源層3に各電位供給と熱の伝導という2つの機能をもたせている上、これら各層は基板内にあり基板の外側に附属設備をつけないため、従来技術より低コストで、よりコンパクトなチップ中の電子回路を正常動作させるに十分な冷却機能をもった電子基板を得ることができる。また、図1では、グラウンド層を2、電源層を3としたが、電源層を2、グラウンド層を3としても、所定のピンを所定の層につなぎかえれば同等の効果が得られる。

【0013】また、本実施例では、グラウンド層、電源層を一層ずつとしたが、これら各層の層数を増せば、これら各層を伝わることのできる熱量は、各層一層ずつの場合に比べて増し、冷却により効果的である。

【0014】また、電源層、グラウンド層数を各一層ずつの場合より増すことにより、電源層、グラウンド層そのもののインピーダンスを小さくすることができ、高周波成

分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

【0015】また、グラウンド層、電源層を通ることのできる熱量を増すためには、これら各層の厚みを増すことも効果的である。例えば、グラウンド層、電源層の厚みを  $50 \sim 70 \mu\text{m}$  程度にすることは通常の工程に特別な工程を加えることなく行うことができ、これにより冷却効果を得ることができる。

【0016】図2は本発明の第2の実施例を示している。第2実施例の電子基板は本発明の電子基板を8層で構成した例であり、配線層13、15、18、20、グラウンド層14、19、電源層16、17、絶縁層500から成っている。また、配線21、22は配線層18上の配線である。配線層13側が部品面側であり、配線層20側が半田面側であつて電子回路チップおよびこのチップから出ているグラウンドピン、電源ピン、信号ピンは図2には示していないが、図1同様、各ピンとも該当層に熱抵抗が小さくなる方法で接続されている。

【0017】以上のような電子基板においては、第1実施例と同様にして、電子回路チップを冷却できる上、次のような動作が可能である。

【0018】一般に、配線層上である区間を平行に走る配線はその間で静電結合を結成し、クロストークによるノイズを生じる心配があるが、図2に示す如く、配線層の絶縁層を介した隣りにグラウンド層または電源層を配し、電線層と絶縁物を介して隣接するグラウンド層または電源層との距離を小さくすれば、配線層における配線のインピーダンスを小さくできるので、平行な配線間の静電結合によるクロストークによるノイズを低減することができる。この効果は、配線層の絶縁層を介した隣りにグラウンド層を配した時の方が、電源層を配した時より効果的で、クロストークによるノイズをより低減することができる。また、配線層13上を平行に走る配線間の距離のうち最小のものを  $l_1$ 、配線層13とグラウンド層14の表面間距離を  $d_1$  とし、配線層20上を平行に走る配線間の距離のうち最小のものを  $l_2$ 、配線層20とグラウンド層19の表面間距離を  $d_2$  とした時、 $l_1 > d_1$ 、 $l_2 > d_2$  とすればより効果的に配線層13、20上の配線に生じるクロストークによるノイズを低減できる。

【0019】また、本実施例の電子基板においては、電源層、グラウンド層を多層に設けたことにより、電源層、グラウンド層そのもののインピーダンスを小さくできるので、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

【0020】さらに、本実施例の電子基板においては、電子回路チップからの熱が、内層のグラウンド層、電源層を伝わって基板全体に広がるため、基板の温度を均一化することができる。

【0021】本実施例の基板においては、上記2つの効

果を同時に実現できるため、基板内でグラウンド電位、電源電位の変動を小さく抑えつつ、電源電位、グラウンド電位、温度を基板内で均一化できるので、遅延管理等が行いやすくなり、キメ細かなタイミング設計が可能になる。

【0022】以上のように、第2実施例においては、第1実施例同様、従来技術による方法より低コストでかつ冷却設備に要するスペースをより小さくして電子基板上の電子回路チップを冷却できる上、配線に生じるクロストークによるノイズを低減でき、高周波成分を多く含む動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができ、基板の温度を均一化できる8層基板を得ることができる。

【0023】第2実施例で述べたクロストークによるノイズを低減する効果は第1実施例においても認められ、図1において特に配線層1と、グラウンド層2の距離、配線層4と電源層3の距離を小さくすると効果的で、さらに配線層1とグラウンド層2との表面間距離を配線層1上を平行に走る配線間の距離のうち最短なものより小さくし、配線層4と電源層3との表面間距離を配線層4上を平行に走る配線間の距離のうち最短なものより小さくすると、さらに効果的にクロストークによるノイズを低減できる。

【0024】また、基板の温度を均一化する効果は第1実施例においても認められる。

【0025】また、図2に示したのは、本発明に係る電子基板を8層で構成する場合の一例であつて、配線層の絶縁層を介した隣りには電源層またはグラウンド層を設けた構造になつていれば、図2とは層構成の順序が異つていても、本発明に係る電子基板を構成したことになる。この時、図2に示した実施例同様、ある配線層に絶縁層を介して隣接するグラウンド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグラウンド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを  $l$ 、該配線層に絶縁層を介して隣接するグラウンド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を  $d$  とした時、 $l > d$  とすれば、クロストークによるノイズの低減にさらに効果的である。

【0026】本実施例では、配線層に絶縁層を介して隣接する層には電源層またはグラウンド層を配することをすべての配線層について行つているが、これは、本発明に係る実施例の効果を最大限に利用する場合であつて、クロストークのおそれのある配線を有する配線層だけについて、それに絶縁層を介して隣接する層にグラウンド層または電源層を配し、その他の配線層の配置は制限しないようにすることもできる。例えば、図2において電源層17の代りに配線層を配してもよい。この配線層と配線層18上の配線の耐クロストーク性は図2の場合より下

がるが、クロストークのおそれのある信号ラインを両側をグランド層と電源層でガードされている配線層15に配すればよいのであつて、このような層構成においても本発明の効果をを得ることができる。この手法を用いれば、配線層に絶縁層を介して隣接する層には電源層またはグランド層を配することをすべての配線層について行う場合に比べて、同数の配線層を有する基板を、より少ない層数の基板で実現できるためより低コストに製造できる。

【0027】図3は本発明の第3の実施例を示している。図3に示す電子基板は、本発明の電子基板を6層で構成した例であり、配線層23、26、28、グランド層24、27、電源層25、絶縁層501から構成されている。また、配線層23側が部品面側であり、配線層28側が半田面側であつて、電子回路チップおよびチップから出ているグランドピン、電源ピンおよび信号ピンは図3には示していないが、図1同様、各ピンとも該当層に伝熱抵抗が小さくなる方法で接続されている。

【0028】以上のように構成すれば、第2実施例同様、従来技術による方法より低コストでかつ冷却設備に要するスペースをより小さくして電子基板上のチップを冷却できる上、配線のクロストークによるノイズを低減でき高周波成分を多く含む動作に対する電源電位、グランド電位の変動を基板内で小さく抑えることができ、基板の温度を均一化できる6層電子基板を得ることができる。

【0029】但し、図3に示した例は、本発明の電子基板を6層で構成する場合の一実施例であつて、配線層の絶縁層を介した両隣りにグランド層または電源層を設けた配線層を少なくとも1層有する構成になつていれば、図3に示した層構成とは異なつていても、本発明に係る電子基板を構成したことになる。

【0030】また、第2実施例の場合同様、ある配線層に絶縁層を介して隣接するグランド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグランド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを $l$ 、該配線層に絶縁層を介して隣接するグランド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を $d$ とした時、 $l > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。

表 1

	4 層 板	6 層 板	8 層 板	1 2 層 板
配 線 層	2	3	4	4
電 源 層	1	1	2	3
グ ラ ン ド 層	1	2	2	5

【0037】従つて、ユーザーは必要配線層数、電源層数、グランド層数、ノイズマージン等を考慮して、最適

\*ークによるノイズの低減にさらに効果的である。

【0031】図4は、本発明の第4の実施例を示している。図4に示す電子基板は、本発明の電子基板を12層で構成した例であり、配線層29、33、38、40、グランド層30、32、24、37、39、電源層31、35、36、絶縁層502から構成されている。また、配線層29側が部品面側であり、配線層40側が半田面側であつて、電子回路チップおよびチップから出ているグランドピン、電源ピン、信号ピンは図4には示していないが、図1同様、各ピンが該当層に熱抵抗が小さくなる方法で接続されている。

【0032】以上のように構成すれば、第2実施例同様、従来技術による方法より低コストでかつ冷却設備に要するスペースをより小さくして電子基板上のチップが冷却できる上、配線のクロストークによるノイズを低減でき、高周波動作に対する電源電位、グランド電位の変動を基板内で小さく抑えることができ、基板の温度を均一化できる12層基板を得ることができる。

【0033】但し、図4に示した例は、本発明の電子基板を12層で構成する場合の一実施例であつて、配線層の両隣りに絶縁層を介してグランド層または電源層を設けた配線層を少なくとも1層有する構成になつていれば、本発明に係る電子基板を構成したことになる。

【0034】また、第2実施例の場合同様、ある配線層に絶縁層を介して隣接するグランド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグランド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを $l$ 、該配線層に絶縁層を介して隣接するグランド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離を $d$ とした時、 $l > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。

【0035】以上、第1～第4の実施例によって、本発明による電子基板を4層、6層、8層、12層で構成する例を示した。第1～第4の実施例で示した各電子基板のもつ配線層数、電源層数、グランド層数をまとめたものが、次の表1である。

【0036】

【表1】

な層数の電子基板を選べばよい。また、本発明に係る電子基板を表1以外の層数で構成する場合には、配線層の両隣りに絶縁層を介してグランド層または電源層を有する配線層を少なくとも1層有するというルールを守って構成すれば本発明を実現できる。このとき、ある配線層に絶縁層を介して隣接するグランド層または電源層と該配線層の距離を小さくすれば効果的にクロストークによるノイズを低減できる。この効果は、隣接層がグランド層である時の方が、電源層である時よりも大きい。また、ある配線層の平行配線間の距離のうち最小なものを1、該配線層に絶縁層を介して隣接するグランド層又は電源層のうち、該配線層との距離が小さい方の層と該配線層との距離をdとした時、 $1 > d$ とすれば、クロストークによるノイズの低減にさらに効果的である。また、上記ルールを守る限り、表1に示した層数をもつ電子基板における配線層、電源層、グランド層数は表1の値と異なつていてもよい。

【0038】図6は本発明の第5の実施例を示している。従来スルーホールとグランド層を接続するに際しては、図5に示すようにサーマルランドを設けていた。すなわち、チップのグランドピンはスルーホール41に通されていて、チップからグランドピンを伝わってきた熱はランド部44、チャネル部43を介してグランド層45に伝えていた。この方法では、ランド部44とグランド層45は切欠部42で囲まれており、ランド部44に伝わった熱は、狭くて熱抵抗の大きいチャネル部を通る径路しかないので、なかなかグランド層に伝わらなかった。

【0039】また、従来スルーホールと電源層を接続する場合もグランド層の場合同様、図5に示すようなサーマルランドを用いていたので、高発熱チップから電源ピンを伝わってきた熱も、なかなか電源層に伝わらなかった。

【0040】そこで本実施例では図6に示すように、サーマルランドを廃止し、スルーホール46とグランド層47をスルーホール46の全周にわたってつないだ。

【0041】これにより、スルーホールとグランド層との接続部における熱抵抗が従来に比べ大幅に減少し、グランドピンを伝わってきた熱をすみやかにグランド層に伝えることができる。また、逆にグランド層より位置のチップのグランドピンにグランド層を伝ってきた熱を伝え、該チップおよびピン表面で冷却することができる。その上スルーホールとグランド層との接続部のインピーダンスもサーマルランドを設ける方法よりも小さくなるので、スルーホールとグランド層との電位等をより小さくできグランドピンへのグランド電位の供給もより良好に行うことができる。

【0042】電源層においても同様で、本実施例では図6に示すグランド層の場合同様、スルーホール全周にわたって電源層と接続する。これによりスルーホールと電

源層との接続部における熱抵抗が従来に比べ大幅に減少し、高発熱チップから電源ピンを伝わってきた熱をすみやかに電源層に伝えることができる。また、逆に電源層より低温のチップの電源ピンに、電源層を伝ってきた熱を伝え、該チップおよびピン表面で冷却することができる。その上、スルーホールと電源層との接続部のインピーダンスもサーマルランドを設ける方法よりも小さくなるので、スルーホールと電源層との電位層をより小さくでき電源ピンへの電源電位の供給もより良好に行うことができる。

【0043】以上により高発熱チップからグランドピン、電源ピンを伝わってきた熱はすみやかにグランド層、電源層に伝わり、また、グランド層、電源層を通じてきた熱の一部は各層より低温の電子回路チップのグランドピン、電源ピンを伝わって、該チップおよびピン表面で冷却されるので発熱チップを効果的に冷却できる上、電氣的にも良好な接続が得られる。

【0044】この効果は電源層に接続されているスルーホールのうち、任意のスルーホールAの半径をr、このスルーホールの中心とこれに最近接するスルーホールBの中心との距離を2R、とした時、スルーホールAの中心を中心とした半径rの円と半径Rの円によって囲まれる電源層の部分をすべて電源層を構成する物質によつて構成することによつても得られる。

【0045】また、上記効果はグランド層に接続されているスルーホールのうち任意のスルーホールAの半径をr、このスルーホールの中心と、これに最も近接するスルーホールBの中心との距離を2Rとした時、スルーホールAの中心を中心とした半径rの円と半径Rの円によつて囲まれるグランド層の部分が、すべてグランド層を構成する物質によつて構成することによつても得られる。

【0046】図13は本発明の第6の実施例を示している。第5実施例の所で述べたように、スルーホールとグランド層または電源層との接続方法において、従来のサーマルランドを用いる方法だと、スルーホールランド部とグランド層または電源層の間の熱の伝導が妨げられる。そこで第5実施例の如くサーマルランドレスで行うと、今度はスルーホール部からグランドまたは電源層に熱が逃げすぎて、部品のハンダ付けが困難になる場合がある。そこで、熱抵抗を小さくしつつ、ハンダ付けを容易にするため、図13に示すようにスルーホール153を従来例よりも小さな切欠き154でグランド層156から切り離す。これにより、高発熱チップからグランドピンを伝ってきた熱を従来よりもすみやかにグランド内層に伝えることができる上、ハンダ付けを第5実施例よりも容易に行うことができる。その上、接続部の電気抵抗は従来例よりも小さいので、従来よりも良好にグランド電位をグランドピンに供給することができる。電源層とスルーホールの接続も図13に示すグランド層の場合



と全く同様に行う。効果も同様である。

【0047】切欠き部の面積は必ずしも図13に示す如くでなくてもよく、接続部の熱抵抗が図5に示す従来例よりも小さく、図6に示す第5実施例よりも大きければよい。すなわち、任意のスルーホールAの半径を $r$ 、スルーホールAの中心とこれに最も近接するスルーホールBの中心との距離を $2R$ としたとき、スルーホールAの中心を中心とした半径 $r$ の円と、半径 $R$ の円によつて囲まれる電源層の領域の面積を $S_0$ 、この領域内で電源層を構成する物質が占める面積を $S_1$ とした時、 $S_1/S_0 \geq 0.5$ とすればよく、グラウンド層に接続されているスルーホールのうち、任意のスルーホールCの半径を $r'$ 、スルーホールCの中心と、これに最も近接するスルーホールDの中心との距離を $2R'$ としたとき、スルーホールCの中心を中心とした半径 $r'$ の円と半径 $R'$ の円によつて囲まれるグラウンド層の領域の面積を $S_0'$ 、この領域内でグラウンド層を構成する物質が占める面積を $S_1'$ とした時、 $S_1'/S_0' \geq 0.5$ とすればよい。

【0048】以上により、高発熱チップからグラウンドピン、電源ピンを伝ってきた熱は従来例よりすみやかにグラウンド層、電源層に伝わり、またグラウンド層または電源層に伝わった熱の一部は両層よりも低温のチップのグラウンドピン、電源ピンを伝わって、該低温チップおよびピン表面で冷却されるので発熱チップを効果的に冷却できる上、電気的にも良好な接続が得られる。加えて、ハンダ付けも第5実施例よりも容易にできる。

【0049】第1～第6実施例では、グラウンドピン、電源ピンを通して冷却を行ってきたが、本発明の第7の実施例においてはグラウンドピンはグラウンド層に、電源ピンは電源層に接続した上、電子回路チップの内部回路と電気的に絶縁されているピンまたは使用していない入力ピンまたは高インピーダンスになつていない出力ピンをグラウンド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続する。この時の接続方法は実施例5または6の方法によつてもよい。

【0050】第7の実施例においては、高発熱チップから出た熱の一部は、グラウンドピン、電源ピンおよび電子回路チップの内部回路と電気的に絶縁されているピンまたは使用していない入力ピンまたは高インピーダンスになつていない出力ピンを伝つてグラウンド層または電源層に伝導され、チップは冷却される。本例は、グラウンドピン、電源ピンのみを各グラウンド層、電源層に接続した場合に比べ、チップとグラウンド層、電源層を結ぶ伝熱経路が多いので、より効果的に冷却を行うことができる。

【0051】また、ピンに限らず熱伝導性の良い材料の一部を高発熱電子回路チップに内部回路から電気的に絶縁して取り付け、該材料の他の一部をスルーホール等を通してグラウンド層または電源層に接続することによつても、同様の冷却効果が得られる。

【0052】図7は本発明の第8実施例を示している。電子回路チップ57の信号ピン56はスルーホール52に通されていて、ハンダ53によって配線層48、51に接続されている。グラウンド層49、電源層50は絶縁層518によって、互いにそして配線層48、51と絶縁されている。また、グラウンド層49は電気的には絶縁性であるが、熱伝導性は良い材料54によつてスルーホール52に接続されている。さらに、電源層50は電気的には絶縁性であるが、熱伝導性は良い材料55によつてスルーホール52に接続されている。また、図示していないが、電源ピン、グラウンドピンは伝熱抵抗が低い方法で各電源層、グラウンド層に接続されており、さらに必要に応じて第7実施例のように内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをグラウンド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続してもよい。

【0053】以上のような電子基板においては、所定の信号は信号ピン56と配線層48、51の間を伝わるが、グラウンド層49、電源層50とは電気的に絶縁されているため、これらの層には伝わらず、逆に、これらの層からも伝わらない。しかし、ピン56とグラウンド層49、電源層50の間の熱抵抗は小さいため、電子回路チップ57が高発熱チップであった場合、チップ57から出た熱の一部はピン56を伝わって電気絶縁性があつかう熱の良導体54、55を伝わってグラウンド層49、電源層50に伝わり、チップは冷却される。

【0054】また、電子回路チップ57が低発熱チップであった場合には、高発熱チップから出てグラウンド層、電源層を通ってきた熱が、電気絶縁かつ熱良導体54、55を通してピン56に伝わり、チップ57および信号ピン56の表面から放出される。いずれの場合も、電子基板全体をみた時チップの冷却に寄与している。

【0055】第8実施例においては、グラウンドピン、電源ピンさらに必要によつては内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱経路となるのはもとより信号ピンまでも熱の経路として用いているため、これを実施しない他の場合に比べて、チップと電子基板のグラウンド層、電源層との熱抵抗を小さくすることができ、チップ冷却に有効である。電源層が49、グラウンド層が50になつた時も全く同様に本方法を用いればチップ冷却に有効である。

【0056】信号ピンとグラウンド層、電源層間を電気的に絶縁しつつ、熱伝導が良好に行われるように接続する方法としては、第8実施例に示した方法の他に、図8に示す第9実施例の方法がある。図8において、グラウンド層59、電源層60は絶縁層519によって互いに、そして配線層58、61と絶縁されており、また電気的には絶縁性であるが熱伝導性は良い材料505、64、6

8によつて各信号ピン507, 66, 71と電気的には絶縁されているが、熱は互いによく伝導する。配線層58, 61上にランド部516, 62, 67, 517, 65, 70があり、ランド部516, 517はハンダ504, 506によつて信号ピン507に接続されている。ランド部62はハンダ63によつて信号ピン66に接続されている。ランド部70はハンダ69によつて信号ピン71に接続されている。また、図示していないが、グランドピン、電源ピンは各該当層に熱抵抗が小さくなる方法で接続されており、さらに必要に応じて第7実施例

のように内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをグランド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続してもよい。

【0057】以上のように構成した電子基板において、グランドピン、電源ピンさらに、必要によっては内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱径路となるのはもとより、信号ピンまでもが伝熱径路となるため、電子回路チップ72とグランド層59、電源層60

の間の熱伝導が第8実施例と同様に、良好に行われる。従って、本電子基板は電子回路チップを冷却するのに効果的である。

【0058】なお、信号ピンとグランド層、電源層を接続する方法としては、図8に示す信号ピン507, 66, 71の場合のいずれの方法を採用してもよいし、それらを組み合わせて用いてもよい。また、電源層が59, グランド層が60になった場合でも、全く同様に本方法を用いれば、チップの冷却に有効である。

【0059】図12は本発明の第10実施例を示している。図12において、グランド層137, 140、電源層138は絶縁層152によつて互いに、そして配線層136, 139, 141から絶縁されている。また、グランド層137, 140、電源層138はスルーホール143と、電気的に絶縁性でかつ熱伝導性の良い材料146, 147, 148によつて電気的には絶縁されているが、熱は互いに良く伝導するようになっている。また、信号ピン150はスルーホール143を通つており、ハンダ149によつて、ランド部142, 144, 145と接続されている。また、図示していないが、グランドピン、電源ピンは各該当層に熱抵抗が小さくなる方法で接続されており、必要に応じて第7実施例のように内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをグランド層または電源層のうち適切な方に熱抵抗が小さくなる方法で接続してもよい。

【0060】以上のような配線板においては、グランドピン、電源ピンさらに、必要によつては、内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱径路となる

のはもとより、信号ピンまでもが伝熱径路となるため、電子回路チップ151とグランド層137, 140、電源層138の間の熱伝導が第8実施例と同様に、良好に行われる。従って、本電子基板は電子回路チップを冷却するのに効果的である。

【0061】また、第8実施例では内層に配線層のある場合の例を示していなかったが、本実施例においては内層に配線層がある場合に信号ピンとグランド層、電源層との間を電気的には絶縁したまま熱伝導が良好に行われるように接続する方法を示した。これと同様の手法を用いることによって、図12よりも配線層、グランド層、電源層が増えても、また層構成の順序が変わっても、信号ピンと電源層、グランド層を電気的に絶縁しながら、互いに良好に熱伝導できるように接続することができ、電子回路チップの冷却に有効な電子基板を得ることができる。

【0062】図16は本発明の第11実施例を示している。図16において、グランド層184, 187、電源層185、および配線層183, 186, 188は絶縁層199によつて互いに絶縁されている。また、電子回路チップ197の信号ピン198はハンダ194, 195, 196により各配線層183, 186, 188上のランド189~191に接続されており、また、電子基板のグランド層184, 187、電源層185は信号ピン198と、電気絶縁性にすぐれかつ熱伝導性の良い材料192, 193によつて、電気的には絶縁されているが、熱はお互いよく伝わるようになっている。また、図示していないが、グランドピン、電源ピンは各該当層に熱抵抗が小さくなる方法で接続されており、必要に応じて第7実施例のように内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンをグランド層または電源層のうち適切な方に、熱抵抗が小さくなる方法で接続してもよい。

【0063】以上のような電子基板においては、グランドピン、電源ピン、さらに必要によっては内部電子回路と電気的に絶縁しているピン、使用していない入力ピン、高インピーダンス状態の出力ピンが伝熱径路となるのはもとより、信号ピンまでもが伝熱径路となるため、電子回路チップ197とグランド層184, 187、電源層185の間の熱伝導が第9実施例と同様に良好に行われる。従って、本電子基板は電子回路チップを冷却するのに効果的である。

【0064】また、第9実施例では内層に配線層のある場合の例を示していなかったが、本実施例においては、内層に配線層がある場合に信号ピンとグランド層、電源層の間を電気的には絶縁したまま、熱伝導が良好に行われるように接続する方法を示した。これと同様の手法を用いることによって、図16よりも配線層、グランド層、電源層が増えても、また層構成の順序が変わっても、信号ピンと電源層、グランド層を電気的には絶縁しながら

ら、互いに良好に熱伝導できるように接続することができ、電子回路チップの冷却に有効な電子基板を得ることができる。

【0065】図9は本発明の第12の実施例を示している。第12実施例は図9に示す如くコネクタ73～82、ZIP型メモリ83～86、高発熱電子回路チップ87～105、503、および図示していない低発熱電子回路チップを電子基板106上に配することにより構成される。

【0066】このような電子基板を冷却するため、ファン等で冷却用流体、例えば空気を図9の右方向（コネクタ76～78側）から左方向（コネクタ82側）へ流す。一般に電子基板を複数組込むシステムにおいては信号の遅延、ノイズの混入を防ぐため、信号線を短くしたい上、システムをコンパクトにしたいため等の理由によつてできるだけ基板の実装密度を上げる。

【0067】図9に示すような電子基板を高密度実装した場合、図14に示すような状態となり、矢印方向に流体を流した場合、コネクタ157、158、159と隣接する電子基板とのすき間は、隣接する電子基板間の距離に比べ小さいので、流体のこの部分における通過抵抗は大きくなる。従って流体は図14中のB、D、F部に絞られ、B、D、F部を通過する流体の速さは、絞られる前に比べ速くなる。

【0068】図14に示す電子基板106における流体の流れの概略を示したものが図10である。図10において、コネクタ73～82、ZIP型メモリ83～86は電子基板106の部品表面からの高さが高く隣接する電子基板との間隔が小さくなっている。従って、コネクタ73～82、ZIP型メモリ83～86は流体の流れの障害物として作用する。その結果、電子基板106の部品面上では図10に矢印で示すような流体の流れとなつている。そこで、このような電子基板上に高発熱電子回路チップ87～105、503を配置する際には、図9に示す如く配する。また、図示していないが、低発熱チップは、図9において、高発熱チップを配した残りのスペースに配する。

【0069】以上のように実装を行つた電子基板においては、チップ93～96はコネクタ76と77間の領域Dに絞られ流速の増した流体にあたり、チップ99～102はコネクタ77と78の間の領域Bに絞られ流速の増した流体にあたる。一般に発熱体を流体により冷却する場合、流体の流速が大きいほど熱伝達率が向上し、冷却の効果が増すため、これらのチップは、コネクタ76～78によつて流体を絞らない場合に比べて、より効果的に冷却される。

【0070】また、高発熱チップ89～91、503の配置されている位置においては、領域D、領域Fを通過した流体がぶつかり、乱れが生じている。従って、この位置においてはチップ表面と流体との間の熱伝達は乱流

熱伝達の状態となり、乱れが生じない場合に比べて、熱伝達率は著しく向上するためチップはより効果的に冷却される。

【0071】また、高発熱チップ87、88はZIP型メモリ83と84間に絞られ、流速の増した流体にあたり、高発熱チップ92はZIP型メモリ84と85間に絞られ、流速の増した流体にあたる。高発熱チップ97、98はZIP型メモリ85と86の間に絞られ、流速の増した流体にあたり、高発熱チップ103～105はZIP型メモリ86とコネクタ79～81の間に絞られ、流速の増した流体にあたる。従って、高発熱チップ87、88、92、97、98、103～105はいずれもコネクタまたはZIP型メモリを図9の如く配さない場合に比べ、速い流速の流体にあたるため、より効果的に冷却される。

【0072】以上、図9に示す本発明の第12実施例においては、電子基板上に必ず配置しなければならないコネクタやZIP型メモリ等の流体の流れの障害物をむしろ積極的に利用して、これらによる絞りによつて流速の増した冷却用流体や、これらによって生じた冷却用流体の乱れによつて効果的にチップを冷却することができる。また、チップを実装した基板はチップを実装していない基板に比べ表面積が増していること、またチップ自体によつて流体の流れに乱れが生じていることも効果的の冷却に寄与している。

【0073】尚、流体の流れを制御する障害物としてはコネクタ、ZIP型メモリに限らず、その他、本来基板上に配さねばならない部品やその他何を利用してよい。

【0074】はた、冷却用流体は絶縁性の気体であってもよいし、絶縁性の液体であってもよい。冷却用流体が液体である場合には、基板を該液体中に浸漬させてもよい。

【0075】図11は本発明の第13実施例を示している。図11において、電子基板107～109は各、コネクタ118、119、120によつてマザーボード121に接続されている。また、電子基板107のグラウンド層は伝導板110、114によつて伝導板113、117に接続されており、電子基板107の電源層は伝導板511によつて伝導板510にまた別の伝導板により伝導板515に接続されている。電子基板108のグラウンド層は伝導板111、115によつて伝導板113、117に接続されており、電子基板108の電源層は伝導板512によつて伝導板510にまた別の伝導板により伝導板515に接続されている。

【0076】電子基板109のグラウンド層は伝導板112、116によつて伝導板113、117に接続されており、電子基板109の電源層は伝導板513、514によつて伝導板510、515に接続されている。

【0077】ここで、全ての伝導板は酸素および熱の良

導体で構成されており、伝導板との接線は電気抵抗および熱抵抗が小さくなるように行う。

【0078】マザーボード121のグランド層は伝導板127、128、129、その他の伝導板によつてグランド板122に接続され、マザーボード121の電源層は伝導板130、131、132、その他の伝導板によつて、電源板123に接続されている。

【0079】ここで、グランド板122、および電源板123は電気および熱の良導体で構成されている。伝導板113、117は伝導板124、125によつてグランド板122に接続されており、伝導板510、515は伝導板508、509によつて電源板123に接続されている。また、冷却のための流体は図11中に矢印で示してある如く、紙面手前から奥へと流す。また、各電子基板の上には高発熱チップ126がいくつか実装されている。

【0080】各電子基板は第1～第12実施例に示した構造のうちのいずれかまたはその組合せを採用している。

【0081】以上のような構造をもつシステムにおいて、電子基板109上に実装された電子回路チップから発生した熱は、以下の径路をたどつて冷却される。

【0082】(a) 該発熱チップ表面に伝導し、チップ表面に流れる流体によって冷却される。

【0083】(b) 該発熱チップから出ているピンに伝わりピン表面で冷却される。

【0084】(c) 発熱チップから該チップのピンのうちグランド層または電源層に熱抵抗が小さい方法で接続されているピンを通じて内層グランド層、電源層に伝わり、これを通してこの両層よりも低温の低発熱チップの表面に伝わり、チップ表面およびこの低発熱チップのピン表面で冷却される。

【0085】(d) 発熱チップから該チップのピンのうちグランド層または電源層に熱抵抗が小さい方法で接続されているピンを通じて内層グランド層、電源層に伝わつてさらにここを通じて、電子基板全体に伝わり、次第に電子基板表面に伝わって、表面冷却される。

【0086】(e) 発熱チップから内層グランド層に伝わり、伝導板112、116を伝わつて伝導板113、117に伝わり、さらに伝導板124、125を伝わつて、グランド板122に伝わる。この経路を伝わる熱は各伝導板の表面およびグランド板122の表面で冷却される。また、内層グランド層に伝わった熱の一部は、コネクタ120を通じてマザーボード121に伝わり、さらに伝導板127～129、その他の伝導板を通じて、グランド板122に伝わる。この経路を伝わる熱は、各伝導板の表面、マザーボード表面およびグランド板表面において冷却される。また、マザーボードよりも低温の電子基板（ドーターボード）があれば、そこにもマザーボードから熱が伝わりここに伝わった熱はドター

ーボード内で冷却される。

【0087】(f) 発熱チップから内層電源層に伝わり、伝導板513、514を伝わって伝導板510、515に伝わり、さらに伝導板508、509を伝わって電源板123に伝わる。この経路を伝わる熱は各伝導板の表面および電源板123の表面で冷却される。また、内層電源層に伝わった熱の一部は、コネクタ120を通じてマザーボード121に伝わり、さらに伝導板130～132、その他の伝導板を通じて、電源板123に伝わる。この経路を伝わる熱は各伝導板の表面、マザーボード表面、および電源板表面において冷却される。また、マザーボードより低温のドーターボードがあれば、そこにもマザーボードから熱が伝わりここに伝わった熱はドーターボード内で冷却される。

【0088】(g) この他、各チップ、ピン伝導板、電子基板、マザーボード、電源板、グランド板からの輻射、対流による冷却効果もある。

【0089】以上により、電子基板109上に電子回路チップを冷却することができる。また、電子基板107、108上の電子回路チップについても同様の方法にて冷却できる。

【0090】また、図11に示すシステムにおいては、マザーボード121に電源を供給するに際し、電源ユニットから電源板123、グランド板122を介して、マザーボードの電源層、グランド層に供給されている。ここで、電源板123、グランド板122上で各、システム全体の基準となる電源電位、グランド層に供給されている。ここで、電源板123、グランド板122上で各、システム全体の基準となる電源電位、グランド電位を安定化させることができるので、マザーボード121、ドーターボードたる基板107～109上に電源電位、グランド電位を安定させることができる。

【0091】また、マザーボード121にも第1～第4の実施例に示した構造を採用している。従つて、マザーボード121においてもドーターボードたる基板107～109同様、電源層、グランド層を多層に設けたことにより、電源層、グランド層そのもののインピーダンスを小さくでき、高周波成分を多く含む動作に対する電源電位、グランド電位の変動を基板内で小さく抑えることができる。

【0092】また、マザーボード121においてもドーターボードたる基板107～109同様、発熱チップ、高温のコネクタピンからの熱が、主に内層のグランド層、電源層を伝わって基板全体に広がるため、基板の温度を均一化することができる。

【0093】図11ではマザーボード121に接続されているドーターボードは基板107～109の3枚であるが、ドーターボード数がこれより増えても、上記と全く同様の効果がある。

【0094】また、マザーボード121とグランド板1

22を結小径路、およびマザーボード121と電源板123を結ぶ径路をできるだけ短くした方が、チップの冷却および電子基板上にグランド電位、電源電位、信号の安定化に効果的である。

【0095】また、グランド板122、電源板123は本例ではマザーボード121の下側に配置しているが、上記条件を満たす限り、どこに何枚配置してもよい。さらに、グランド板122、電源板123の表面に凸凹あるいはフィン等を設けてもよく、この時、チップの冷却がより効果的に行われる。

【0096】また、図11においては、各電子基板のグランド層とグランド板122を伝導板110～117、124、125によって接続し、各電子基板の電源層と電源板123を伝導板510～515、508、509、その他の伝導板によって接続しているが、必ずしもグランド層、電源層ともに各、グランド板122、電源板123に接続する必要はなく、グランド層とグランド板122のみを接続してもよく、また電源層と電源板123のみを接続してもよい。

【0097】また、伝導板の位置は必ずしも図11と同じである必要はなく、必要に応じて適切な位置に適当な数を配置してよい。また、本電子基板装置のマザーボード、ドーターボードを本発明の電子基板、実装電子基板を用いて構成すれば、ここで述べた効果はより効果的になる。

【0098】図3を用いて、本発明の第14実施例について説明する。本実施例の電子基板は配線層23、26、28グランド層24、27、電源層25および絶縁層501から成っている。ここで、絶縁層501は電気絶縁性にすぐれかつエポキシ樹脂より熱伝導性が良好な材料（例えばセラミックス）または構造から成っている。はた、配線層23側が部品面側であり、配線層28側が半田面である。本実施例における電子基板に実装される電子回路チップおよびチップから出ているグランドピン、電源ピン、および信号ピンと本実施例における電子基板との接続状況を示したものが、図15である。

【0099】図15において、電子回路チップ175の信号ピン170の通るスルーホール520は各配線層、23、26、28にあるランド部167～169につながっている。また、絶縁層501とスルーホール520は隣接しており、両者間の熱伝導は良好に行われる。また、グランド層24、27、電源層25と絶縁層501も隣接しており、両者間の熱伝導は良好に行われる。また、グランド層24、27とスルーホール520は空間172、174によって絶縁されており、電源層25とスルーホール520は空間173によって絶縁されている。

【0100】グランドピン161の通るスルーホール163は各配線層23、28上にあるランド部177、178に電氣的に接続されている。絶縁層501とスルー

ホール163は隣接しており、両者間の熱伝導は良好に行われる。また、グランド層24、27とスルーホール163は電氣的に接続されている。また、電源層25とスルーホール163は空間164によって絶縁されている。

【0101】電源ピン162の通るスルーホール165は各、配線層23、28上にあるランド部180、181に電氣的に接続されている。また、電源層25は電氣的にスルーホール165に接続されている。絶縁層501はスルーホール165に隣接しており、両者間の熱伝導は良好に行われる。グランド層24、27とスルーホール165は空間166、176によって絶縁されている。

【0102】以上のように構成した電子基板において、基板に実装された電子回路チップ175から発生した熱は次のようにして冷却される。まず、発生した熱の一部は該チップ175表面へと伝わり、そこで冷却される。残りの熱は、信号ピン170、グランドピン161、電源ピン162を伝わる。ここで、一部の熱はピン表面で冷却される。ピン170を伝わった熱はハンダ171、スルーホール520を伝わって、絶縁層501に伝わる。ここで、絶縁層501は電気の絶縁体であるが、熱の良導体であるので、スルーホール520と絶縁層501の間の熱抵抗は絶縁層501が熱の不良導体である場合に比べて小さく、両者間の熱伝導は良好に行われる。

【0103】ピン161を伝わった熱はハンダ179、スルーホール163を伝わって電氣的に接続されているグランド層24、27に伝わり、また隣接している絶縁層501にも伝わる。ここで、絶縁層501は電気の絶縁体であるが、熱の良導体であるので、スルーホール163と絶縁層501の間の熱抵抗は、絶縁層501が熱の不良導体である場合に比べて小さく、両者間の熱伝導は良好に行われる。

【0104】ピン162を伝わった熱は、ハンダ182、スルーホール165を伝わって、接続されている電源層25に伝わり、また隣接している絶縁層501にも伝わる。ここで絶縁層501は電気の絶縁体であるが、熱の良導体であるので、スルーホール165と絶縁層501の間の熱抵抗は、絶縁層501が熱の不良導体である場合に比べて小さく、両者間の熱伝導は良好に行われる。

【0105】以上のようにして、グランド層24、27、電源層25、絶縁層501に伝わった熱は、次の経路のいずれかによって冷却される。

【0106】まず、第1にグランド層24、27、電源層25、絶縁層501から電子基板の厚み方向に熱が伝わり、電子基板表面に達して、そこで冷却される。ここで絶縁層501は熱の良導体であるので、絶縁層に熱の不良導体を用いた場合に比べてすみやかに熱が基板表面に伝わるため、より良好に冷却される。

【0107】第2に、グラウンド層24、27、電源層25、絶縁層501よりも低い温度のグラウンドピン、電源ピン、信号ピンを伝わって、該ピンの表面および該ピンをもつチップの表面にて冷却される。ここで、絶縁層501が熱の不良導体である場合は、熱のグラウンド層、電源層を伝わりグラウンドピン、電源ピンを伝わってチップ表面に至る経路が主であるが、本実施例では絶縁層501の熱の良導体を用いているので、上記経路のほか絶縁層を伝わってグラウンドピン、電源ピンを伝わってチップ表面に至る経路、絶縁層を伝わって信号ピンを伝わりチップ表面に至る経路があり、経路が増した分だけ熱伝導が促進されより良好に冷却される。

【0108】第3に、グラウンド層、電源層、絶縁層を伝わって、これらの層の先に設けられた冷却設備において冷却される。ここで、絶縁層501が熱の不良導体である場合に比べて、本実施例の方が絶縁層501を通して先の冷却設備に達する熱量が多く、発熱チップの冷却により有効である。

【0109】また、グラウンド層、電源層を図15に示す如く多層に配してあるため、クロストークによるノイズを低減する効果は第3実施例と同様であり、その効果をより顕著にする方法も同様である。

【0110】また、グラウンド層、電源層を図15に示す如く多層に配すると、多層にわたるグラウンド層、電源層全体と同じ厚みのグラウンド層、電源層を一層ずつにした場合に比べて、基板表面から近い場所に熱の良導体であるグラウンド層、電源層を多く配することができるので、基板表面での冷却に有利である。これは絶縁層501が熱の不良導体である場合についても同様である。

【0111】また、電源層、グラウンド層を多層に設けたことにより、電源層、グラウンド層のインピーダンスを小さくでき、高周波動作に対する電源電位、グラウンド電位の変動を基板内で小さく抑えることができる。

【0112】また、本実施例においては、発熱する電子回路チップ175からの熱が内層のグラウンド層24、27、電源層25はもちろん、熱伝導性のよい絶縁層501をも伝わって基板全体に広がるため、絶縁層501が熱の不良導体である場合に比べて、より効果的に基板の温度の均一化を図ることができる。

【0113】また、ここでは、領域172～174、164、166、176は空間であったが、この部分も、電氣的絶縁性にすぐれかつ熱の良導体である材料または構造で構成してもよい。このような構造においてはこの部分も熱の伝導に寄与できるようになるので、上記効果がより効果的にあらわれる。また、図3の例は本発明を6層板で構成する場合の一実施例であって、配線層の絶縁層を介した隣りにグラウンド層または電源層を設けており、しかも絶縁層が電氣的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、図3に示した層構成とは順序が異なってもまた層数が図3と

異なつていても、本発明の電子基板を構成したことになる。

【0114】例えば、図1において絶縁層5が電氣的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、本発明を4層板で構成した一実施例となり、図2において絶縁層500が電氣的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、本発明を8層板で構成した一実施例となる。また、図4において、絶縁層502が電氣的な絶縁性をもちかつ熱の良導性をもつ材料または構造から成っているならば、本発明を12層板で構成した一実施例となる。これらの効果は第14実施例と同様である。

【0115】実施例1～14のいずれかまたはそのうちいくつかを組合わせた電子基板を予め加熱しておいて、その後、部品のハンダ付けを行う実装方法が本発明の第15実施例である。

【0116】このような電子基板を本方式を用いずに、予熱しないまま部品のハンダ付けを行おうとすると、グラウンド層、電源層等の熱伝導性の良い層に熱抵抗が低くなるような方法で接続されたスルーホールに加わった熱はすぐにグラウンド層、電源層等の熱伝導性のよい層に逃げてしまつてハンダ付けが良好に行われないが、本方式を用いると、予めグラウンド層、電源層等の熱伝導性の良い層は加熱されて温度が高くなっているから、該スルーホールに加わった熱はグラウンド層、電源層等の熱伝導性の良い層に逃げにくくつて、ハンダ付けを良好に行うことができる。

【0117】実施例1～14のいずれかまたはそのうちのいくつかを組合わせた電子基板に部品を実装するに際し、予めIC、LSI等用のソケットを該電子基板に組込み、第15実施例の如くこの電子基板を予め加熱した後にハンダ付けを行ない、十分冷却した後にIC、LSI等をソケットにはめ込む実装方法が、本発明の第16の実施例である。このような電子基板において第15実施例のような方法で部品の実装を行った場合、予熱時間が長いまたは予熱温度が高いと組み込んだICまたはLSI等が故障し、正常動作しなくなる可能性がある。

【0118】そこで、本方法を用いれば、ICまたはLSIを高温にさらすことなく部品の実装を行うことができる。

【0119】

【発明の効果】本発明によれば、電子回路を内蔵したチップで発生する熱をチップのピンを通じて配線層よりも厚く構成したグラウンド層又は電源層に良好に伝達し、基板の広い範囲に速やかに熱を拡散させ、基板表面から放熱できるので、放熱手段をコンパクトに構成することができる。

【0120】また、グラウンド層、電源層等の熱伝導性のよい層を予め加熱しておくことにより、これらの層とハンダの融点との温度差が小さくつて、ハンダ付けの際

に該スルーホールから熱を逃げにくくすることができるので良好にハンダ付けを行うことができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す断面図である。

【図2】本発明の第2実施例を示す断面図である。

【図3】本発明の第3実施例を示す断面図である。

【図4】本発明の第4実施例を示す断面図である。

【図5】従来技術によるサーマルランドを示す図である。

【図6】本発明の第5実施例を示す図である。

【図7】本発明の第8実施例を示す断面図である。

【図8】本発明の第9実施例を示す断面図である。

【図9】本発明の第12実施例を示す図である。

【図10】本発明の第12実施例を示す図である。

【図11】本発明の第13実施例を示す図である。

【図12】本発明の第10実施例を示す断面図である。

【図13】本発明の第6実施例を示す図である。

【図14】本発明の第12実施例を示す図である。

【図15】本発明の第14実施例を示す断面図である。

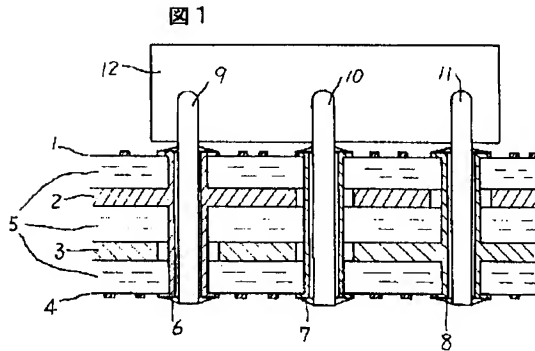
【図16】本発明の第11実施例を示す断面図である。

【符号の説明】

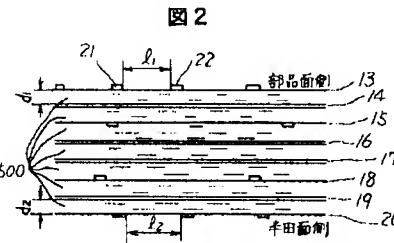
1、4…配線層、2…グランド層、3…電源層、5…絶縁層、9…グランドピン、10…信号ピン、11…電源\*

\*ピン、13、15、18、20…配線層、14、19…グランド層、16、17…電源層、21、22…配線、23、26、28…配線層、24、27…グランド層、25…電源層、29、33、38、40…配線層、30、32、34、37、39…グランド層、31、35、36…電源層、41、46…スルーホール、42…切欠部、43…チャネル部、44…ランド部、45、47…グランド層、48、51…配線層、49…グランド層、50…電源層、56…信号ピン、58、61…配線層、59…グランド層、60…電源層、66、71、507…信号ピン、73～82…コネクタ、83～86…ZIPメモリ、87～105…高発熱電子回路チップ、107～109…電子基板、110～117…伝導板、121…マザーボード、122…グランド板、123…電源板、124、125、127～132…伝導板、136、139、141…配線層、137、140…グランド層、138…電源層、150…信号ピン、152…絶縁層、153…スルーホール、156…グランド層、157～159…コネクタ、161…グランドピン、162…電源ピン、170…信号ピン、183、186、188…配線層、184、187…グランド層、185…電源層、500～502…絶縁層、503…高発熱電子回路チップ、508～515…伝導板。

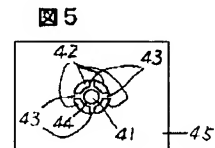
【図1】



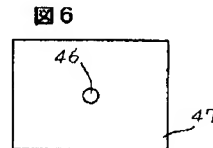
【図2】



【図5】



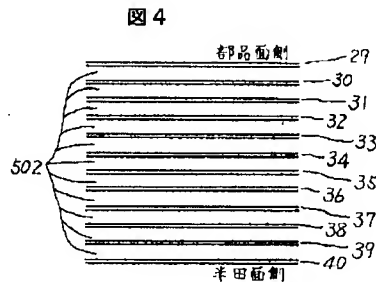
【図6】



【図3】

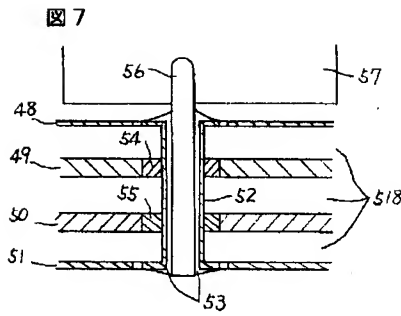


【図4】

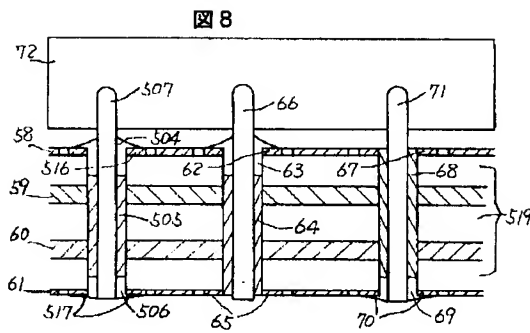




【図7】

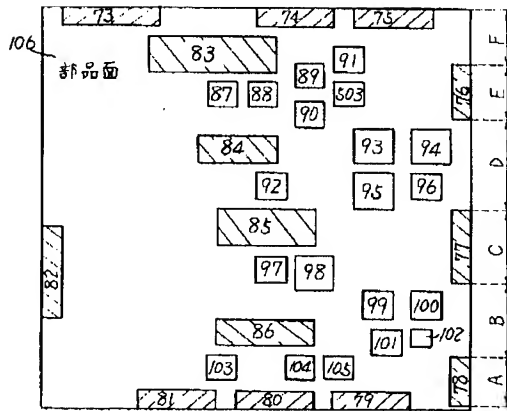


【図8】



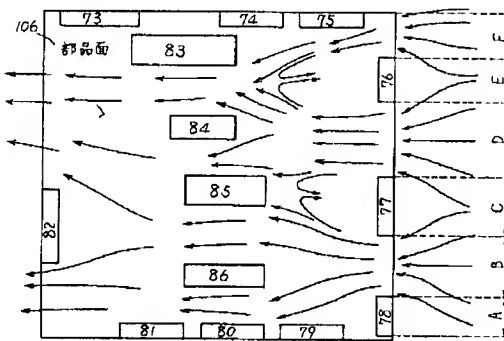
【図9】

図9



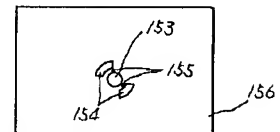
【図10】

図10



【図13】

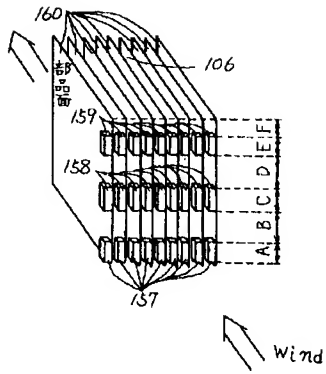
図13





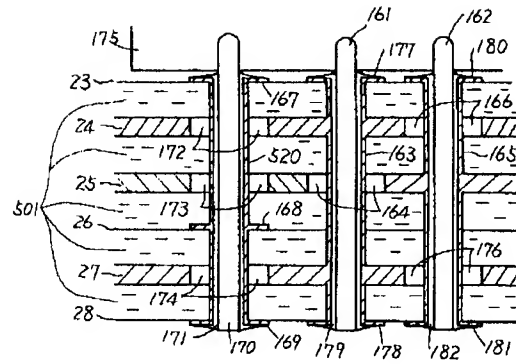
【図14】

図14



【図15】

図15



【図16】

図16

